組合せテスト生成可能な拡張部分スキャン設計

高崎 智也　　井上 智生　　藤原 秀雄
奈良先端科学技術大学院大学 情報科学研究科

あらまし

通常の部分スキャン設計では一部のフリップフロップ (FF) をスキャン FF に置き換えてテスト生成容易な順序回路に変換している。本論文では、FF に限らず順序回路内の信号線をバイパス FF (スキャンとバイパスの機能を有する FF) に置き換え、テスト生成容易な順序回路に変換する拡張部分スキャン設計の方法を提案する。テスト生成容易な順序回路としては組合せテスト生成複雑度でテスト生成可能な内部平衡構造順序回路を対象とする。この拡張部分スキャン設計において、スキャン化による面積オーバーヘッドが最小となるようにフリップフロップや信号線を選択する方法を述べる。さらに、拡張部分スキャン設計された回路のテスト生成問題を考察する。

Extended Partial Scan Design Capable of Combinational Test Generation

Tomoya TAKASAKI, Tomoo INOUE and Hideo FUJIWARA

Graduate School of Information Science
Nara Institute of Science and Technology

Abstract

With partial scan design, a sequential circuit is usually transformed into an easily testable sequential circuit by replacing part of FFs in the sequential circuit by scan FFs. In this paper, we propose a method of extended partial scan design to transform a sequential circuit into an easily testable sequential circuit by replacing part of not only FFs but also wires in the sequential circuit by bypass FFs (which provide both scan and bypass). We consider a sequential circuit of internally balanced strucuture capable of combinational test generation as an easily testable sequential circuit. We present an approach to obtain a set of FFs and wires with minimum area overhead in order to transform a given sequential circuit into a sequential circuit with internally balanced structure. Furthermore, we consider the test generation problem for the circuits with the extended partial scan.

1　はじめに

順序回路のテスト生成は一般に困難な問題で、回路規模が大きくなれば解けなくなる場合が多い。この問題を解決するために、回路中のすべてのフリップフロップをスキャン可能なフリップフロップ (スキャンフリップフロップ) に置き換える完全スキャン法が提案されている [1][2]。完全スキャン法では、回路のオーバーヘッドが大きくなるという問題が起こるため、その一部のフリップフロップをスキャンフリップフロップに置き換える部分スキャン法がある [1] ∼ [3]。しかし、これらの部分スキャン法では、一般に順序回路のテスト生成法が必要となるため、高い故障検出率を達成するのが依然として困難である。

このため、組合せテスト生成アルゴリズムでテスト生成可能とするために核回路 (スキャンフリップフロップを除いた回路) が平衡構造となるように部分スキャン設計する方法が提案されている [5]。また、著者らは先に組合せテスト生成可能な順序回路として、平衡構造をさらに拡張した内部平衡構造順序回路を提案している [6]。

これまでほとんどの部分スキャン法では、専らフリップフロップのみを選択してスキャンフリップフロップに置き換える操作に限られている。本論文では、フリップフロップに限らず、順序回路中の信号線をも選択して、スキャンフリップフロップと同様の働きをするフリップフロップ [2][7][9](バイパスフリップフロップ) に置き換え、テスト生成容易な順序回路に変更する (これを拡張部分スキャン設計と呼ぶ) 問題について考察する。本論文では、組合せテスト生成可能な順序回路として最も広いクラスの内部平衡構造順序回路を考え、核回路が内部平衡構造となるように拡張部分スキャン設計を行う問題を考察する。この拡張部分スキャン設計において、スキャン化による面積オーバーヘッドが最小となるように、フリップフロップおよび信号線を選択する方法を述べる。さらに、拡張部分スキャン設計された回路に対するテスト生成問題についても考察する。

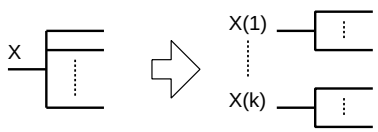

図 1　外部入力分離

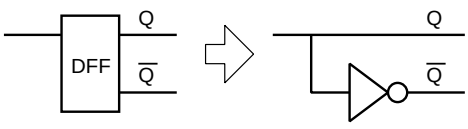

図 2　FF の消去

2　組合せテスト生成複雑度でテスト生成可能な順序回路

組合せ回路のテスト生成アルゴリズムでテスト生成可能な順序回路としては、フィードバックの無い (無閉路構造の) 回路でなければならない。したがって、ここではまず対象回路を無閉路構造の順序回路に限定する。また、話を簡単にするためフリップフロップ (以下、FF と略す) は DFF に限定する。

回路中の分岐点において、分岐点の入力側の信号線を分岐幹と呼び、分岐点の出力側の複数の信号線を分岐枝と呼ぶ。経路上に含まれる FF の個数をその経路の順序深度という。順序回路の外部入力から外部出力に至る経路の中で最大の順序深度を順序回路の順序深度とする。x を外部入力、x_i と x_j を x の分岐枝とするとき、x_i と x_j から等しい順序深度で同じ外部出力 z_k に至る経路が存在しないならば x_i と x_j は分離可能という。

組合せ変換 (C 変換) [6]　無閉路構造の順序回路 S に対するつぎの 2 つの操作による変換を組合せ変換 (C 変換) と呼び、変換されてできる組合せ回路を $C(S)$ と書く。

(1) 分岐枝を有する外部入力について、その外部入力の分岐枝の集合を X とする。「分岐枝 x_i と x_j が分割 π の異なるブロック $X(i)$, $X(j)$ に属する ($x_i \in X(i)$, $x_j \in X(j)$; $X(i) \neq X(j)$) ならば x_i と x_j は分離可能である」を満たす X の極小分割 π を求める。分割した各ブロック毎に新たに外部入力を設けて、もとの外部入力を分離する (図 1 参照)。
(注 :外部入力を分離する場合、分岐幹の故障はその分岐枝すべてに同時に存在する多重故障として扱う)

(2) FF を信号線に置き換える (FF の否定出力の場合は , NOT ゲートを付加する。図 2 参照)。　□

「S を無閉路順序回路、$C(S)$ をそのＣ変換された組合せ回路とする。S における故障 f が S でテスト可能であるための必要十分条件が $C(S)$ における f に対応する故障 f_C が $C(S)$ においてテスト可能である」が言えるならば、順序回路 S は、組合せテスト生成複雑度でテスト生成可能である (以下、組合せテスト生成可能であると略す) という。

組合せテスト生成可能な順序回路としては、以下のものがある。

平衡構造 [5]　回路 S の任意の外部入力と外部出力の対について、その 2 点間のどの経路の順序深度も等しければ、S は平衡構造であるという (図 3 参照)。

内部平衡構造 [6]　回路 S にＣ変換の操作 1 を施してできる回路 S' が平衡構造となるならば、S は内部平衡構造であるという (図 4 参照)。

平衡構造の順序回路ではすべての外部入力が分離不可能であるので、Ｃ変換は操作 (2) だけで行われることに

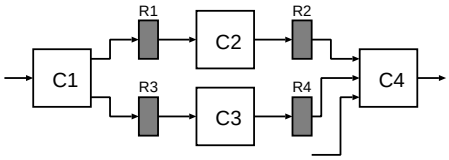

図 3　平衡構造の例

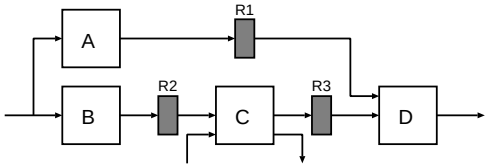

図 4　内部平衡構造の例

なる。

3　拡張部分スキャン設計

順序回路 S に対して、S の中に含まれる要素 e (FF、信号線) を取り除くというのは、e への入力を S の外部出力、e からの出力を S の外部入力に置き換え、要素 e を S から切り離す操作のことを言う (信号線を取り除く場合は、その信号線の出ていく先を外部出力、その信号線が入る元を外部入力に置き換えるものとして定義する。この操作は信号線を切るとも言う。図 5 参照)。このとき、新たに置き換えられたこれらの外部入力、外部出力のことをそれぞれ疑似入力、疑似出力と呼ぶ。さらにこの操作を演算子 $-$ で定義し、S に含まれる要素の集合 E に対し、$S-E$ というのは E に属するすべての要素を S から取り除いた回路を表すものとする。

順序回路 S があるとき、その中の FF、信号線の集合をそれぞれ $F,\ L$ とする。S に含まれる要素の集合 $E=\{(FF_1,\ldots,FF_n)\in F,\ (l_1,\ldots,l_m)\in L\}$ に対して、$S-E$ を核回路、核回路中に含まれる FF、信号線をそれぞれ内部 **FF**、内部信号線と呼ぶ。一方、E に属する FF、信号線をそれぞれ外部 **FF**、外部信号線と呼ぶ (図 6 参照)。

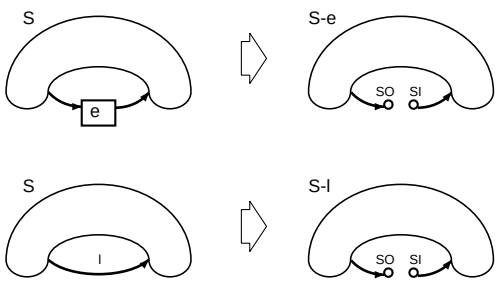

図 5　要素の除去

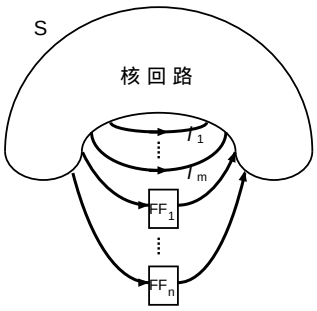

図 6　核回路

これまでのほとんどの部分スキャン設計では、外部 FF をスキャン **FF** に置き換えて、スキャン FF を等価的に外部入出力とみなすことにより、スキャン FF を取り除いた回路 (核回路) に対し、テスト生成が行われてきた。一方、FF ばかりでなく信号線をスキャン FF と同様の働きをするバイパス **FF** に置き換える方法も提案されている [2][7][9]。FF をスキャン FF に、信号線をバイパス FF に置き換える部分スキャン設計を拡張部分スキャン設計と言う。また、拡張部分スキャン設計された回路において、スキャン FF、バイパス FF をまとめて核外 **FF** と言う。

拡張部分スキャン設計は、FF だけをスキャン化する部分スキャン設計よりも信号線を選べる分だけ選択の自由度が大きくなり、回路全体の面積オーバーヘッドを小さくすることが期待できる。

スキャン FF、バイパス FF(以下、それぞれ S-FF、B-FF と記す) としては、図 7 に示すような構成を考える。

各 S-FF、B-FF は表 1 に示すように、通常動作モード、ロードモード、シフトモードの 3 つの動作モードが存在する。通常動作モードでは、図 7 (a) のように S-FF は DFF として、B-FF は信号線として機能する。ロードモードでは、核回路からの出力が S-FF、B-FF 内の FF に取り込まれ、現在の FF の値が S-FF、B-FF の値として出力される。シフトモードでは、スキャンパスを通してテストパターンを S-FF、B-FF 内の FF にスキャンインされ、同時にそれら FF の値がスキャンアウトされる。

FF のホールドとは、データの値を連続したクロックサイクルの間、保持する機能のことを言う。また、このときの FF の動作モードのことをホールドモードと呼ぶ。

FF を 1 つの S-FF に置き換えることによって増加するハードウェア量を k_1 、信号線を 1 つの B-FF に置き換え

表 1　各動作モードと制御線

	S-FF	B-FF	
	S	B_1	B_2
通常動作モード	0	X	0
ロードモード	0	0	1
シフトモード	1	1	1

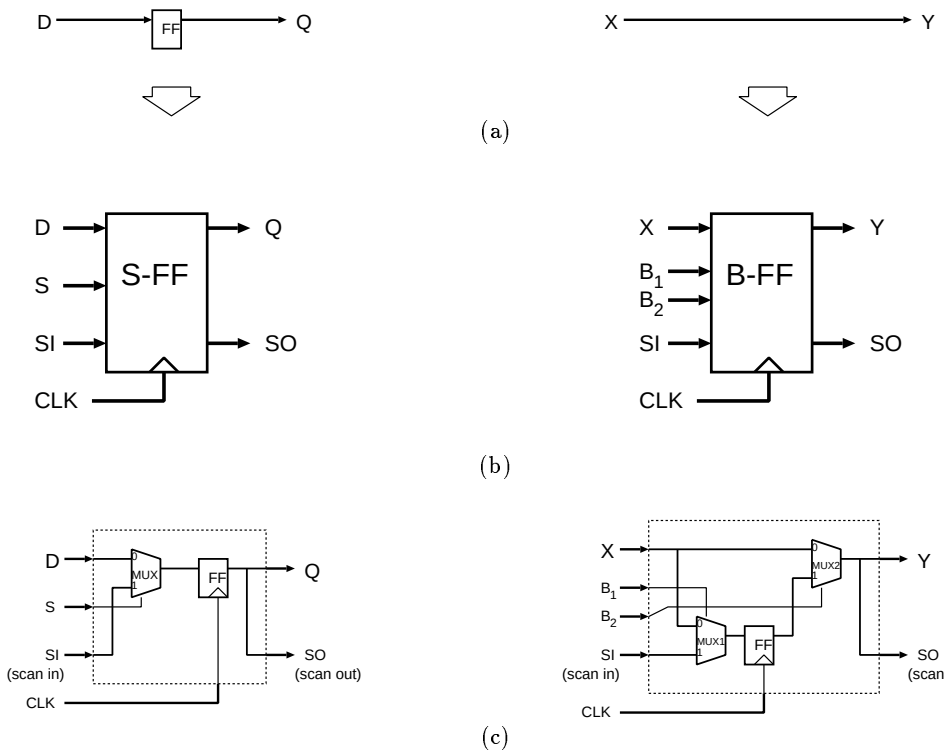

図 7　スキャン FF とバイパス FF の構成

ることによって増加するハードウェア量を k_2 とすると、回路全体の面積オーバーヘッド (ハードウェア増加量) は以下の式で表現できる。

回路全体の面積オーバーヘッド

$= k_1 \times$ (外部 FF 数) $+ k_2 \times$ (外部信号線数)

k_1, k_2 の具体的な値としては、例えば、文献 [8] のようにマルチプレクサと FF のハードウェア量をそれぞれ 3 と 6 とすれば、k_1 と k_2 の比は 3 : 12 となる。

4　拡張スキャン FF 選択問題

ここでは、順序回路に対して核回路が内部平衡構造 (組合せテスト生成可能な順序回路) となるように、外部 FF と外部信号線の集合を選択して、拡張部分スキャン設計を行う手法について考察する。

拡張部分スキャン設計においては、FF を S-FF に、信号線を B-FF に置き換えるときに起こる面積オーバーヘッド (余分に付加しなければならないハードウェア量) ができるだけ少ないことが望ましい。

図 8 のように任意に与えられた順序回路から核回路が内部平衡構造となるように、面積オーバーヘッド最小で外部 FF および外部信号線の集合を求める問題を拡張スキャン **FF** 選択問題と言う。

この拡張スキャン FF 選択問題を、次の 2 段階に分けて解く方法を考える。2 段階に分けることにより、個々の段階で最適解が得られてもそれらは必ずしも全体の最適

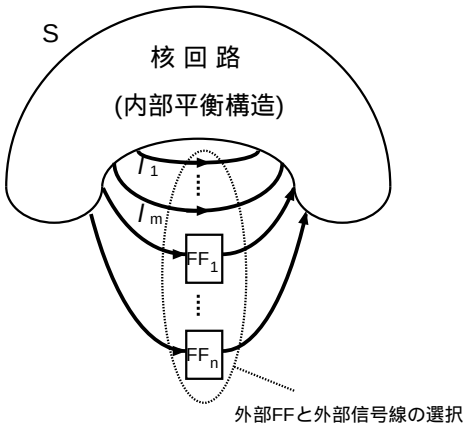

図 8　拡張スキャン FF 選択問題

解となるわけではないが、問題を細分化することにより、より解きやすい問題に帰着されており、既存のアルゴリズムを修正して利用することも可能となるという利点がある。

1. 無閉路構造

核回路が無閉路構造となるように面積オーバーヘッド最小で外部 FF および外部信号線を選択する。

2. 内部平衡構造

1. で得られた無閉路構造の核回路に対して、

(2-1) 分離可能な外部入力枝を分離する (核回路の疑似入力は対象外)。

(2-2) (2-1) で得られた回路について、平衡構造にするための面積オーバーヘッドが最小の外部 FF および外部

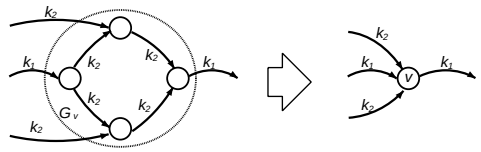

図 9　グラフの変換規則

信号線を選択する。

これらの問題を解くために、順序回路を次のようなグラフに置き換えて考える。

定義 1　順序回路 S の回路トポロジーグラフ (**CTG**) は、次のような重みつき有向グラフ $G = (V, A, w)$ である

V — S のゲート、分岐点、外部入力、外部出力を頂点とする集合

$A \subset V \times V$ — S の FF、信号線を辺とする集合 (各辺は順序回路 S における接続関係を表す)

$w : A \rightarrow Z^+$ (正の整数) — 辺の重み (FF に対して k_1、信号線に対して k_2。ここで k_1 は FF を 1 つの S-FF に置き換えるときのハードウェア増加量で、k_2 は信号線を 1 つの B-FF に置き換えるときのハードウェア増加量である)　□

CTG G は以下の変換規則を適用して、より頂点数の少ないグラフ $\widehat{G}$ に変換することができる。この変換規則から明らかなように、最初のグラフ G と変換後のグラフ $\widehat{G}$ では、同じ最小オーバーヘッドで拡張スキャン FF 選択問題を解くことができる。

変換規則：　CTG G において、外部入出力以外の頂点とその中のすべての辺の重みが k_2 (信号線) だけからなる G の無閉路部分グラフを G_v とする。G_v に入ってくる辺の重み和を w_i、G_v から出ていく辺の重み和を w_o とする。さらに、G_v に入って G_v から出ていくすべての有向道をカットするのに必要な辺の最小重み和を m_v とする。このとき、G_v の各入力から G_v のすべての出力へパスがあり、かつ、

$$m_v \geq min\{w_i, w_o\}$$

ならば、G_v は図 9 のように 1 つの頂点 v にマージする。□

以上のグラフによる表現を用いれば、核回路が内部平衡構造となる外部 FF および外部信号線を選択する手続きは、以下のように記述できる。

Step 1. 順序回路 S の CTG G に変換規則を適用して、$\widehat{G}$ を求める。この $\widehat{G}$ を $\widehat{G} = (V, A, w)$ とする。

Step 2. $\widehat{G}$ から $\sum_{a \in R_A} w(a)$ が最小となる辺集合 R_A を除去することにより、無閉路グラフ G_A を求める。

Step 3. 無閉路グラフ G_A から分離可能な外部入力を分離することにより、$\widetilde{G}_A$ を求める。

Step 4. $\widetilde{G}_A$ から $\sum_{a \in R_B} w(a)$ が最小となる辺集合 R_B を除去することにより、平衡グラフ G_B を求める。

以上の結果、$R = R_A \cup R_B$ が求める外部 FF と外部信号線の集合となる。

上記の Step 2 において $\sum_{a \in R_A} w(a)$ が最小となる辺集合 R_A を求めるには、$\widehat{G}$ に対して、重みつき MFAS (最小フィードバック辺集合) アルゴリズムを適用させればよい。ここで、各辺の重みは FF が k_1、信号線が k_2 とする。

Step 3 における外部入力分離の操作は次のようになる。すなわち、各外部入力 x について、そのすべての分岐枝の組 (x_i, x_j) に対して等しい順序深度で同じ外部出力 z_k に至る経路が存在するかどうかを調べ、存在すれば (x_i と x_j は分離不可能) x_i と x_j を同じ集合の中に入れ、存在しなければ、それぞれ別々の集合を設けてその中に入れる。その結果、生成された集合ごとに新たに外部入力を設ける。

Step 4 において $\sum_{a \in R_B} w(a)$ が最小となる辺集合 R_B は、文献 [5] の balancing procedure を変更した手続きで求めることができる。文献 [5] の balancing procedure では各辺の重みがレジスタのビット幅となっていたが、ここでは辺の重みを FF は k_1、信号線は k_2 に置き換えて考えればよい。

5　テスト生成問題

ここでは、内部平衡構造にした核回路のテスト生成問題およびそのときの拡張部分スキャン設計された回路全体のテスト生成問題について考察する。いずれも組合せ回路用テスト生成アルゴリズムでテスト生成可能 (組合せテスト生成可能) である。

順序回路を S 、S に対して核回路 (外部 FF、外部信号線を取り除いた回路) が内部平衡構造となるように拡張部分スキャン設計を行った回路を S_{DFT} とする (図 10、11 参照)。さらに、S_{DFT} において、S-FF、B-FF を取り除いた回路 (S の核回路) を S_K とする (図 12 参照)。S_K においては、もとの順序回路 S に存在する外部入力 (外部出力) と S-FF、B-FF を取り除くことによって新たに生成された疑似入力 (疑似出力) の 2 種類の入力 (出力) が存在している。また、S_K を C 変換した回路を $C(S_K)$ とする (図 13 参照)。$C(S_K)$ では、外部入力が分離されている分だけ S_K よりも多くの外部入力が存在している。

順序回路 S に対し、S_{DFT} のように拡張部分スキャン設計を行ってテストをするためには、S_{DFT} のすべての故障に対してテストが行われなければならない。このうち、S_{DFT} において S_K に対応する故障のことを S_{DFT} の核内の故障と呼ぶ。一方、S_{DFT} にあって、S_K にない故障 (S_{DFT} の S-FF、B-FF の故障) のことを S_{DFT} の

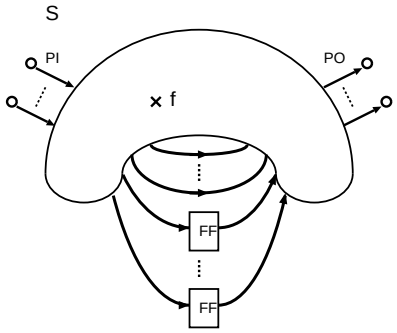

図 10　順序回路 S

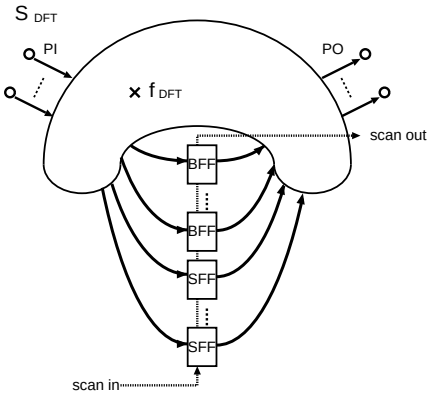

図 11　拡張部分スキャン設計した回路 S_{DFT}

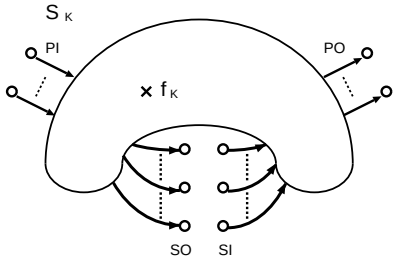

図 12　核回路 S_K

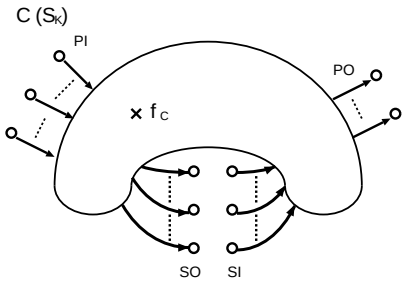

図 13　S_K をC変換した回路 $C(S_K)$

核外の故障と呼ぶ。

5.1　核内の故障に対するテスト

S_{DFT} の核内の故障を f_{DFT} とする。f_{DFT} に対応する S_K の故障を f_K とする。さらに f_K に対応する $C(S_K)$ の故障を f_C とする。f_{DFT}、f_K、f_C はそれぞれ一対一に対応している。

核回路 S_K が内部平衡構造となるように拡張部分スキャン設計を行った回路 S_{DFT} に対して、S_{DFT} の核内の故障 f_{DFT} のテスト系列は以下の手順で求められる。

1. f_{DFT} に対応する $C(S_K)$ の f_C について、組合せテスト生成アルゴリズムを使ってテスト生成を行う。
2. 生成されたテストパターンを S_K のテスト系列に変換する。
3. S_K のテスト系列を S_{DFT} のテスト系列に変換する。

$1 \sim 3$ の手順 (変換の方法) については、後で詳述する。この手順では、S_{DFT} での f_{DFT} のテスト生成問題は、$C(S_K)$ での f_C のテスト生成問題に帰着している。これでテスト生成できることを保証するには、「S_{DFT} における故障 f_{DFT} が S_{DFT} でテスト可能であるための必要十分条件は、$C(S_K)$ における f_{DFT} に対応する故障 f_C が $C(S_K)$ においてテスト可能である」ことを示す必要がある。これを以下の定理で示す。

文献 [6] より、順序回路 S_K が内部平衡構造ならば、S_K は組合せテスト生成可能であるので、次の定理が成立する。

定理 1　順序回路 S_K は内部平衡構造であるとする。S_K における故障 f_K が S_K でテスト可能であるための必要十分条件は、$C(S_K)$ における f_K に対応する故障 f_C が $C(S_K)$ においてテスト可能である。　□

定理 1 をもとに、S_K が内部平衡構造の場合、$C(S_K)$ で組合せテスト生成が行われ、それが S_K、S_{DFT} のテスト系列に変換される手順を以下に示す。

手順 1 ： $C(S_K)$ におけるテスト生成　まず、S_K をC変換して $C(S_K)$ を求める。$C(S_K)$ は組合せ回路なので、f_K に対応する故障 f_C が $C(S_K)$ でテスト可能であれば、組合せ回路のテスト生成アルゴリズムを用いて、f_C に対するテストパターンが求められる (f_K が S_K で冗長であれば、f_C は $C(S_K)$ で冗長であるので (定理 1)、f_C に対するテストパターンは存在しない)。f_C に対するテストパターンが求められたとき、このテストパターンを T_C とする。

手順 2 ： S_K におけるテスト系列　S_K は内部平衡構造なので、$C(S_K)$ では外部入力が分離されている。したがって、$C(S_K)$ の故障 f_C に対するテストパターン T_C を S_K の対応する故障 f_K に対するテスト系列 T_K へ変換するために、もとの分離される前の S_K の外部入力において、各時刻ごとに対応する $C(S_K)$ の入力値を割り当

表 2　テストパターン T_C とテスト系列 T_K

(a)　T_C

入力	値
x_1	a_1
⋮	⋮
x_i	a_i
⋮	⋮
x_{h1}	a_{h1}
x_{h2}	a_{h2}
⋮	⋮
x_m	a_m
y_1	b_1
⋮	⋮
y_p	b_p
⋮	⋮
y_l	b_l

(b)　T_K

	時刻 t における値											
入力	1	2	⋯	$d+1-d_{ik}$	⋯	$d+1-d_{h1k}$	⋯	$d+1-d_{h2k}$	⋯	d	$d+1$
x_1			⋯		⋯		⋯		⋯		
⋮											
x_i	×	×	⋯	a_i	⋯	×	⋯	×	⋯	×	×
⋮											
x_h	×	×	⋯	×	⋯	a_{h1}	⋯	a_{h2}	⋯	×	×
⋮											
x_m			⋯		⋯		⋯		⋯		
y_1	b_1	b_1				⋯⋯⋯				b_1	b_1
⋮	⋮	⋮								⋮	⋮
y_p	b_p	b_p				⋯⋯⋯				b_p	b_p
⋮	⋮	⋮								⋮	⋮
y_l	b_l	b_l				⋯⋯⋯				b_l	b_l

てる。ただし、疑似入力はすべての時刻で同じ値をとる。

S_K の順序深度を d とすると、S_K のテスト系列 T_K の長さは $d+1$ となる。ここで f_C はテストパターン T_C によって $C(S_K)$ の出力 z_k (外部出力もしくは疑似出力) で検出されるものとする。f_C に対応する故障 f_K が時刻 $d+1$ に S_K の出力 z_k で検出されるように、テスト系列 T_K の外部入力 x_i $(i=1,2,\ldots,m)$ および疑似入力 y_p $(p=1,2,\ldots,l)$ の値を以下のように決める (表 2 参照)。

(1) 外部入力 x_i $(i=1,2,\ldots,m)$ の値の決め方

(1-a) x_i が分離不可能な外部入力の場合 :

x_i から出力 z_k への順序深度 d_{ik} は一意的に決まる。テストパターン T_C の外部入力 x_i の値をテスト系列 T_K の時刻 $d+1-d_{ik}$ のときの外部入力 x_i の値と決める。

(1-b) x_i が分離可能な外部入力の場合 :

S_K における外部入力 x_i が $C(S_K)$ において外部入力 x_{i1}, x_{i2}, ..., x_{in} に分離されているとする。内部平衡構造であるので、各 x_{ij} から z_k への順序深度は一意的に決まり、それを d_{ijk} とする。それらは分離可能であるので、d_{ijk} $(j=1,2,\ldots,n)$ はすべて異なる順序深度となる。したがって、時刻 $d+1-d_{ijk}$ $(j=1,2,\ldots,n)$ はすべて異なり、テスト系列 T_K の n 箇所の時刻に値を設定する。すなわち、テストパターン T_C の各外部入力 x_{ij} $(j=1,2,\ldots,n)$ の値を、テスト系列 T_K の時刻 $d+1-d_{ijk}$ $(j=1,2,\ldots,n)$ の外部入力 x_i の値と決める。

(2) 疑似入力 y_p $(p=1,2,\ldots,l)$ の値の決め方

疑似入力 y_p $(p=1,2,\ldots,l)$ はすべて分離不可能な入力となっている。よって、y_p から出力 z_k への順序深度 d_{ypk} は一意的に決まる。テストパターン T_C の疑似入力 y_p の値をテスト系列 T_K の時刻 $d+1-d_{ypk}$ のときの疑似入力 y_p の値と決める。後で S_{DFT} 対応のテスト系列を作ることを考慮して、y_p の $d+1-d_{ypk}$ 以外の時刻にも時刻 $d+1-d_{ypk}$ と同じ値を割り当てる。したがって、結果的には S_K の疑似入力 y_p $(p=1,2,\ldots,l)$ の値はどの時刻もテストパターン T_C の疑似入力 y_p の値と同じ値になっている。

以上のようにして、時刻 1, 2, ..., d, $d+1$ での外部入力、疑似入力の値が決まる。時刻 t における外部入力ベクトルを X_t、疑似入力ベクトルを Y_t とすると、S_K の故障 f_K に対するテスト系列 T_K は外部入力系列 $[X_1, X_2, \ldots, X_d, X_{d+1}]$、疑似入力系列 $[Y_1, Y_2, \ldots, Y_d, Y_{d+1}]$ $(Y_1 = Y_2 = \cdots = Y_d = Y_{d+1})$ となる。

手順 **3** : S_{DFT} におけるテスト系列　S_K では対応する時刻ごとに各入力ベクトルを割り当てることにより、$d+1$ 時刻目の応答を観測して、テストを行っている。S_{DFT} では S_K における疑似入出力が S-FF、B-FF に置き換わっているので、疑似入力がスキャンパスを通しての入力に変わっていることを考慮して、テストを行うようにする。

S_K の故障 f_K に対応する S_{DFT} の故障 f_{DFT} のテスト系列 T_{DFT} は以下の手順となる。

1. すべての S-FF と B-FF をシフトモードにして、疑似入力ベクトル Y_1 をスキャンインする。

2.(a) すべての S-FF と B-FF をホールドモード、
すべての内部 FF をロードモードにして、
外部入力系列 $X_1, X_2, \ldots, X_d$ を印加する。

(b) S-FF、B-FF をロードモードにして、X_{d+1} を入力。

(c) すべての S-FF と B-FF をシフトモードにして、スキャンアウト。

上に示した手順は S_{DFT} のある故障 f_{DFT} に対するものであったが、S_{DFT} の検出可能なすべての故障に対してテストを行う際には、上記の 2. の操作はそのテスト数分だけ繰り返される (この場合、2.(c) のところでスキャンアウトすると同時に次のテストパターンをスキャンイ

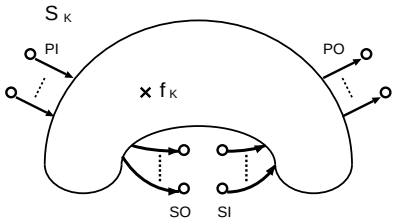

図 14　S_K

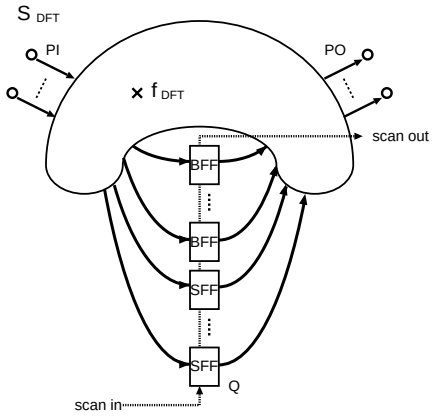

図 15　S_{DFT}

ンする)。

以上のようにして、S_K が内部平衡構造の場合、$C(S_K)$ で組合せテスト生成が行われ、S_{DFT} のテスト系列に変換される。

以上のテスト系列の変換手順 $1 \sim 3$ と定理 1 から次の定理が成立する。

定理 2　順序回路 S_K は内部平衡構造であるとする。S_K における故障 f_K が冗長故障ならば、f_K に対応する $C(S_K)$ の故障 f_C が手順 1 において冗長故障と判定される。S_K における故障 f_K がテスト可能ならば、手順 2、3 で得られる系列 T_K、T_{DFT} は、各々 S_K、S_{DFT} において対応する故障 f_K、f_{DFT} のテスト系列になっている。　□

定理 2 が S_{DFT} の核内の故障についても成立することを言うには、次の定理を示す必要がある。

定理 3　順序回路 S_K は内部平衡構造で、S_{DFT} の S-FF、B-FF はホールド機能を持つとする。このとき、S_K における故障 f_K が S_K でテスト可能であるための必要十分条件は、S_{DFT} における f_K に対応する故障 f_{DFT} (S_{DFT} の核内の故障) が S_{DFT} においてテスト可能である。　□

(証 明)

必要条件 ($\Longrightarrow$) 故障 f_K が S_K (図 14) でテスト可能であるとする。このとき、故障 f_K に対する (表 2 に示すような) テスト系列 T_K が存在する。f_K に対応する S_{DFT} (図 15) の核内の故障を f_{DFT} とする。また、テスト系列 T_K を、先に示した手順 3 を用いて変換した系列を T_{DFT} とする。(手順 3 から明らかなように) T_{DFT} は f_{DFT} に対するテストになっている。

十分条件 ($\Longleftarrow$) S_{DFT} (図 15) の核内の故障 f_{DFT} が S_{DFT} でテスト可能であるとする。このとき、故障 f_{DFT} に対するテスト系列 T_{DFT} が存在する。T_{DFT} の長さを m とする。このとき、時刻 t_i $(i = 1, 2, \ldots, m)$ における S_{DFT} の外部入力 **PI**、スキャンパスの入力 **SPI**、制御入力 **C** (各 S-FF の S、各 B-FF の B_1, B_2 入力) の f_{DFT} に対するテストベクトルをそれぞれ X_i', Y_i', C_i $(i = 1, 2, \ldots, m)$、外部出力 **PO**、スキャンパスの出力 **SPO** のベクトルをそれぞれ Z_i, U_i $(i = 1, 2, \ldots, m)$ とすると、T_{DFT} および出力は表 3 のようになる。

ここで、S_{DFT} を図 16 のように核回路 S_K' とそれ以外の回路 S_F の 2 つに分割した回路を考える。S_K' は明らかに S_{DFT} の核回路 S_K と同じである。S_F における **SO'**, **SI'** はそれぞれ S_F 内の FF に対する出力、入力となっており、これらは S_K' の疑似入力 **SI**、疑似出力 **SO** に対

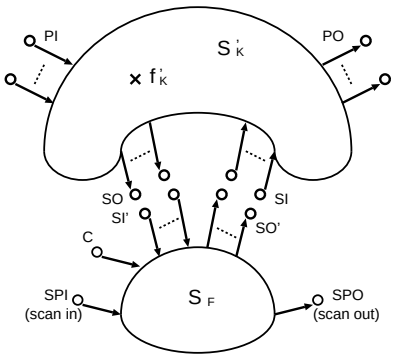

図 16　S_K' と S_F

表 3　T_{DFT} とその出力

	時刻	t_1	t_2	$\cdots$	t_m
入力	**PI**	X_1'	X_2'	$\cdots$	X_m'
	SPI	Y_1'	Y_2'	$\cdots$	Y_m'
	C	C_1	C_2	$\cdots$	C_m
出力	**PO**	Z_1	Z_2	$\cdots$	Z_m
	SPO	U_1	U_2	$\cdots$	U_m

表 4　S_K' と S_F の入出力

		時刻	t_1	t_2	$\cdots$	t_m
S_F	入力	**SPI**	Y_1'	Y_2'	$\cdots$	Y_m'
		C	C_1	C_2	$\cdots$	C_m
		SI'	W_1	W_2	$\cdots$	W_m
	出力	**SO'**	V_1	V_2	$\cdots$	V_m
		SPO	U_1	U_2	$\cdots$	U_m
S_K'	入力	**PI**	X_1'	X_2'	$\cdots$	X_m'
		SI	V_1	V_2	$\cdots$	V_m
	出力	**SO**	W_1	W_2	$\cdots$	W_m
		PO	Z_1	Z_2	$\cdots$	Z_m

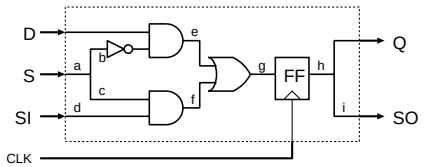

図 17　S-FF

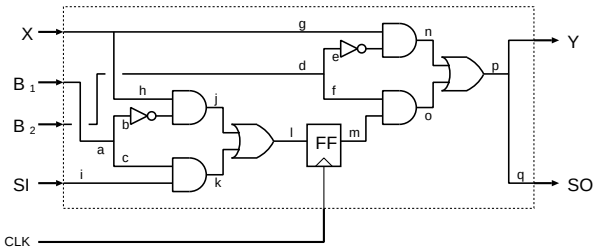

図 18　B-FF

応している。図 16 において S_{DFT} の核内の故障 f_{DFT} に対応する故障は S'_K の中に存在する。その故障を f'_K とする。

表 3 の f_{DFT} に対するテスト系列で時刻 t_i $(i = 1, 2, \ldots, m)$ における S'_K の疑似入力 **SI**、疑似出力 **SO** のベクトルをそれぞれ V_i, W_i $(i = 1, 2, \ldots, m)$ とする。S_F の疑似入力 **SI'**、疑似出力 **SO'** はそれぞれ S'_K の疑似出力、疑似入力に相当しているので、W_i, V_i となる。このとき、S'_K および S_F での入出力は表 4 となる。

図 15 において、表 3 のテスト系列で f_{DFT} がテスト可能であるので、 図 15 の外部出力 **PO** または核外 FF(S-FF、B-FF) **Q** にある時刻 t_j $(1 \leq j \leq m)$ で故障の影響が現れる。したがって、図 16 において、表 4 のテスト系列で外部出力 **PO** または疑似出力 **SO** に同じ時刻 t_j で故障の影響が現れる。

よって、表 4 における S'_K の外部入力 **PI**、疑似入力 **SI** の系列は f_{DFT} に対応する故障 f'_K をテストしている。ゆえに、f_{DFT} が S_{DFT} でテスト可能であれば、S_{DFT} の核回路 S_K において f_{DFT} に対応する故障 f_K のテスト系列が存在する。　□

5.2　核外の故障に対するテスト

次に、S_{DFT} の核外の故障 (S-FF、B-FF の故障) をテストする方法について考える。

ここで対象としている核外の故障は、S-FF、B-FF 内部の信号線およびマルチプレクサの故障で、これは図 17、18 の S-FF と B-FF においてアルファベットで記した信号線の 0/1 縮退故障である。

図 17、18 で、S-FF の D、B-FF の X をデータ入力、S-FF の S、B-FF の B_1, B_2 を制御入力、S-FF、B-FF の SI をスキャン入力と呼ぶ。また、各 S-FF および B-FF にスキャンデータを入れるための入力 (図 15 の scan in)

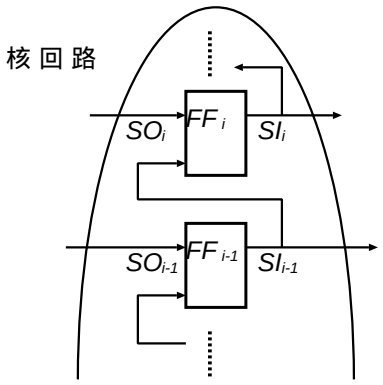

図 19　核外 FF

をスキャンパスの入力と呼ぶ。

また、各核外 FF (S-FF、B-FF) FF_i $(i = 1, 2, \ldots, n;$ n : 核外 FF の個数) に対し、図 19 のように FF のデータ入力に接続されている信号線を SO_i、図 17 の h、図 18 の p に相当する信号線を SI_i とする。さらに、FF_i に接続されている制御入力線を S_i とする。

図 17、18 に対して、各信号線の故障を検出するための S-FF、B-FF のテストパターンはそれぞれ表 5、表 6 のようになる。また、その中に示されているように、対応するテストパターンにより、故障集合を A ∼ G の 7 つのクラスに分ける。

クラス A ∼ D の故障集合は、S-FF と B-FF に共通なものである。それぞれ、クラス A のテストパターンは S-FF(B-FF) においてデータ入力 $D(X)$ がドント・ケアであるもの、クラス B のテストパターンは S-FF(B-FF) においてスキャン入力 SI がドント・ケアであるもの、クラス C, D のテストパターンは S-FF(B-FF) においてデータ入力 $D(X)$、スキャン入力 SI、制御入力 S (B_1, B_2) のいずれも 0/1 の値が入るものとなっている。

また、クラス E ∼ G の故障集合は、B-FF に特有なものである。いずれもマルチプレクサ MUX2 (図 7 参照) の入力に関わるもので、クラス E のテストパターンは MUX2 において、FF からの入力がドント・ケアであるもので、クラス F, G のテストパターンは MUX2 において、データ入力 X、FF からの入力、制御入力 B_1, B_2 のいずれも 0/1 の値が入るものとなっている (FF からの入力に 0/1 のパターンを与えるために、ここでは前の時刻にスキャン入力から 0/1 のパターンを入れている)。

さらに、S_{DFT} の核外の故障に対するテストを考える上で、次のようなテスト系列について定義する。

テスト系列 α :　すべての S-FF、B-FF をシフトモードにして、スキャンパスの入力から (スキャンパス長+1) クロックだけ 0, 1 のパターンを交互に入れるテスト系列。

テスト系列 β_i^v $(i = 1, 2, \ldots, n,\ v = 0/1)$:　核外 FF FF_i に接続されている信号線 SO_i の非冗長故障 SO_i/v

表 5　S-FF の 2 テストパターンと検出される故障

クラス		現在の時刻			次の時刻			テストされる故障	
		D	S	SI	D	S	SI	現時刻	次時刻
A	A_0	X	1	0	X	1	X	d/1, f/1, g/1	h/1, i/1
	A_1	X	1	1	X	1	X	c/0, d/0, f/0, g/0	h/0, i/0
B	B_0	0	0	X	X	1	X	e/1	
	B_1	1	0	X	X	1	X	b/1, e/0	
C	C_0	0	0	1	X	1	X	a/1, c/1	
	C_1	1	0	0	X	1	X	a/1	
D	D_0	0	1	1	X	1	X	a/0	
	D_1	1	1	0	X	1	X	a/0, b/0	

表 6　B-FF の 2 テストパターンと検出される故障

クラス		現在の時刻				次の時刻				テストされる故障	
		X	B_1	B_2	SI	X	B_1	B_2	SI	現時刻	次時刻
A	A_0	X	1	1	0	X	1	1	X	i/1, k/1, l/1	m/1, o/1, p/1, q/1
	A_1	X	1	1	1	X	1	1	X	c/0, i/0, k/0, l/0	f/0, m/0, o/0, p/0, q/0
B	B_0	0	0	X	X	X	1	1	X	h/1, j/1	
	B_1	1	0	X	X	X	1	1	X	b/1, h/0, j/0	
C	C_0	0	0	1	1	X	1	1	X	a/1, c/1	
	C_1	1	0	1	0	X	1	1	X	a/1	
D	D_0	0	1	1	1	X	1	1	X	a/0	
	D_1	1	1	1	0	X	1	1	X	a/0, b/0	
E	E_0	0	1	0	X	X	1	1	X	g/1, n/1	
	E_1	1	1	0	X	X	1	1	X	e/1, g/0, n/0	
F	F_0	X	1	1	1	0	1	0	X		d/1, f/1
	F_1	X	1	1	0	1	1	0	X		d/1
G	G_0	X	1	1	1	0	1	1	X		d/0
	G_1	X	1	1	0	1	1	1	X		d/0, e/0

を検出するテスト系列。

テスト系列 γ_i^v $(i = 1, 2, \ldots, n,\ v = 0/1)$:　核外 FF FF_i に対して以下のような手続きで行うテスト系列

1. S_{DFT} の内部平衡構造となる核回路 S_K において、$SO_i = v,\ SI_{i-1} = \bar{v}$ となる系列を求める (これは S_K をC変換した回路 $C(S_K)$ で $SI_{i-1} = \bar{v}$ の条件のもとで $SO_i/\bar{v}$ についてテスト生成を行うことによって求められる)。S_K でこの系列が存在すれば、時刻 1, 2, ..., d, $d+1$ の外部入力、疑似入力のベクトルをそれぞれ **PI** $[X_1, X_2, \ldots, X_d, X_{d+1}]$, **SI** $[Y_1, Y_1, \ldots, Y_1, Y_1]$ とする (d は S_K の順序深度。以下のテスト系列の場合も同様に定義する)。そして、S_{DFT} において以下の手続きを実行する。
2. すべての核外 FF をシフトモードにして、Y_1 をスキャンイン。
3. (a) すべての核外 FF をホールドモード、
   すべての内部 FF をロードモードにして、
   $X_1, X_2, \ldots, X_d$ を印加する。
   (b) 核外 FF をロードモードにして、
   X_{d+1} を入力。
   (c) すべての核外 FF をシフトモードにして、
   FF_i の中身をスキャンアウト。

テスト系列 δ_i^v $(i = 1, 2, \ldots, n,\ v = 0/1)$:　核外 FF FF_i に対して以下のような手続きで行うテスト系列

1. テスト系列 γ_i^v の 1. と同様。$SO_i = v,\ SI_{i-1} = \bar{v}$ となる S_K の系列が存在すれば、S_{DFT} において以下の手続きを実行する。
2. すべての核外 FF をシフトモードにして、Y_1 を 3 回スキャンイン。2 回続けて同じ Y_1 がスキャンアウトされれば、以下の手続きを実行する。
3. (a) テスト系列 γ_i^v と同様。
   (b) 核外 FF をシフトモードにして、
   X_{d+1} を入力。
   (c) テスト系列 γ_i^v と同様。

テスト系列 ϵ_i^v $(i = 1, 2, \ldots, n,\ v = 0/1)$:　B-FF FF_i に対して以下のような手続きで行うテスト系列

1. S_{DFT} の内部平衡構造となる核回路 S_K において、$SO_i = v,\ SI_i = v$ となる系列を求める (これは S_K をC変換した回路 $C(S_K)$ で $SI_i = v$ の条件のもとで $SO_i/\bar{v}$ についてテスト生成を行うことによって求められる)。S_K でこの系列が存在すれば、S_{DFT} において以下の手続きを実行する。
2. テスト系列 γ_i^v と同様。
3. (a) テスト系列 γ_i^v と同様。
   (b) S-FF をシフトモード (S=1)、B-FF で
   $B_1 = 1,\ B_2 = 0$ にして、X_{d+1} を入力。
   (c) すべての核外 FF をシフトモードにして、
   FF_{i+1} の中身をスキャンアウト。

テスト系列 ζ_i^v $(i = 1, 2, \ldots, n,\ v = 0/1)$:　B-FF FF_i

表 7　テスト系列 γ_i でテストできる故障

γ_i	テスト可能な故障		故障集合
	S-FF	B-FF	
γ_i^0	c/1	c/1	C_i^1
$\{\gamma_i^0, \gamma_i^1\}$	a/1	a/1	C_i^2

表 8　テスト系列 δ_i でテストできる故障

δ_i	テスト可能な故障		故障集合
	S-FF	B-FF	
δ_i^1	b/0	b/0	D_i^1
$\{\delta_i^0, \delta_i^1\}$	a/0	a/0	D_i^2

に対して以下のような手続きで行うテスト系列

1. S_{DFT} の内部平衡構造となる核回路 S_K において、$SO_i = v$, $SI_i = \bar{v}$ となる系列を求める (これは S_K をC変換した回路 $C(S_K)$ で $SI_i = \bar{v}$ の条件のもとで $SO_i/\bar{v}$ についてテスト生成を行うことによって求められる)。S_K でこの系列が存在すれば、S_{DFT} において以下の手続きを実行する。

2. 3. テスト系列 ϵ_i^v と同様。

テスト系列 $\boldsymbol{\eta}_i^v$ $(i = 1, 2, \ldots, n,\ v = 0/1)$ ： B-FF FF_i に対して以下のような手続きで行うテスト系列

1. テスト系列 ζ_i^v の手続き 1 と同様。$SO_i = v$, $SI_i = \bar{v}$ となる S_K の系列が存在すれば、S_{DFT} において以下の手続きを実行する。

2. テスト系列 δ_i^v と同様。

3. (a)(b) テスト系列 δ_i^v と同様。
   (c) テスト系列 ϵ_i^v と同様。

これらのテスト系列により、S-FF、B-FF の非冗長故障がテスト可能であることを以下に示す。

補題 1　S-FF、B-FF に対するクラス A のすべての故障は、テスト系列 α でテスト可能である。

(証明) テスト系列 α を S_{DFT} に印加すれば、各S-FF、B-FF について表 5、表 6の A_0, A_1 の 2 つの系列が入る。クラス A のすべての故障は A_0, A_1 の系列でテスト可能なので、テスト系列 α でテスト可能である。 □

S-FF、B-FF の大半の故障はスキャンパス上にあり、これらはテスト系列 α でテストすることができる。上のテスト系列で検出できなかった故障については、次の補題 $2 \sim 7$ を適用する。

補題 2　核外 FF FF_i $(i = 1, 2, \ldots, n)$ に対するクラス B の非冗長故障は、テスト系列 $\beta_i = \{\beta_i^0, \beta_i^1\}$ でテスト可能である。

(証明) 核外 FF FF_i に対し、クラス B の B_0 の故障は $SO_i/1$ と等価である (図 19参照)。同様に、B_1 の故障は $SO_i/0$ と等価である (同)。$SO_i/1$ と $SO_i/0$ は冗長でなければそれぞれテスト系列 β_i^1, β_i^0 で検出されているので、FF_i のクラス B の非冗長故障は、テスト系列 β_i でテスト可能である。 □

この補題より、クラス B の故障は核内の故障に対するテスト系列でテストできるので、新たにテスト生成を行う必要はない。

補題 3　核外 FF FF_i $(i = 1, 2, \ldots, n)$ に対するクラス C の非冗長故障は、テスト系列$\gamma_i = \{\gamma_i^0, \gamma_i^1\}$ でテスト可能である。

(証明) 各テスト系列 γ_i^v $(v = 0/1)$ が存在するときのS-FF、B-FF のテスト可能な故障は表 7 のようになる。それぞれの故障集合を C_i^1, C_i^2 とする。
表 7 より、

1. $\gamma_i = \{\gamma_i^0, \gamma_i^1\}$ が存在する場合 :
   — $C_i^1 \cup C_i^2$ の故障 (クラス C の故障) は γ_i でテスト可能である
2. γ_i が存在しない場合、すなわち、
   (a) γ_i^0 が存在しない場合 :
   — C_i^1 は冗長である
   (b) γ_i^0 および γ_i^1 が存在しない場合 :
   — C_i^2 は冗長である

したがって、核外 FF FF_i に対するクラス C の非冗長故障はテスト系列 γ_i でテスト可能である。 □

補題 4　核外 FF FF_i $(i = 1, 2, \ldots, n)$ に対するクラス D の非冗長故障は、テスト系列$\delta_i = \{\delta_i^0, \delta_i^1\}$ でテスト可能である。

(証明) 各テスト系列 δ_i^v $(v = 0/1)$ が存在するときのS-FF、B-FF のテスト可能な故障は表 8 のようになる。それぞれの故障集合を D_i^1, D_i^2 とする。
表 8 より、

1. $\delta_i = \{\delta_i^0, \delta_i^1\}$ が存在する場合 :
   — $D_i^1 \cup D_i^2$ の故障 (クラス D の故障) は δ_i でテスト可能である
2. δ_i が存在しない場合、すなわち、
   (a) δ_i^1 が存在しない場合 :
   — D_i^1 は冗長である
   (b) δ_i^0 および δ_i^1 が存在しない場合 :
   — D_i^2 は冗長である

したがって、核外 FF FF_i に対するクラス D の非冗長故障はテスト系列 δ_i でテスト可能である。 □

補題 4 のクラス D の故障に対するテストでは、テスト系列 δ_i^v の 2. の手続きで同じ Y_1 が 2 回続けてスキャンアウトされなければ、その時点で故障が検出され、テストされたことになる。これは後の補題 7 のクラス G の故障に対するテストでも同様に言える。

表 9　テスト系列 ϵ_i でテストできる故障

ϵ_i	テスト可能な故障 B-FF	故障集合
ϵ_i^0	g/1, n/1	E_i^1
ϵ_i^1	e/1, g/0, n/0	E_i^2

表 10　テスト系列 ζ_i でテストできる故障

ζ_i	テスト可能な故障 B-FF	故障集合
ζ_i^0	f/1	F_i^1
$\{\zeta_i^0, \zeta_i^1\}$	d/1	F_i^2

表 11　テスト系列 η_i でテストできる故障

η_i	テスト可能な故障 B-FF	故障集合
η_i^1	d/0	G_i^1
$\{\eta_i^0, \zeta_i^1\}$	e/0	G_i^2

次の補題 5 ∼ 7 では、B-FF に特有の故障に対するテストを考えている。B-FF FF_i に対してテストをするとき、これらのテストの結果はスキャンパスで次に接続されている FF FF_{i+1} に取り込まれる。

補題 5　B-FF FF_i $(i = 1, 2, \ldots, n)$ に対するクラス E の非冗長故障は、テスト系列$\epsilon_i = \{\epsilon_i^0, \epsilon_i^1\}$ でテスト可能である。

（証明）各テスト系列 ϵ_i^v $(v = 0/1)$ が存在するときの B-FF のテスト可能な故障は表 9 のようになる。それぞれの故障集合を E_i^1, E_i^2 とする。
表 9 より、

1. $\epsilon_i = \{\epsilon_i^0, \epsilon_i^1\}$ が存在する場合：
   — $E_i^1 \cup E_i^2$ の故障 (クラス E の故障) は ϵ_i でテスト可能である
2. ϵ_i が存在しない場合、すなわち、
   (a) ϵ_i^0 が存在しない場合：
      — E_i^1 は冗長である
   (b) ϵ_i^1 が存在しない場合：
      — E_i^2 は冗長である

したがって、核外 FF FF_i に対するクラス E の非冗長故障はテスト系列 ϵ_i でテスト可能である。　□

補題 6　B-FF FF_i $(i = 1, 2, \ldots, n)$ に対するクラス F の非冗長故障は、テスト系列$\zeta_i = \{\zeta_i^0, \zeta_i^1\}$ でテスト可能である。

（証明）各テスト系列 ζ_i^v $(v = 0/1)$ が存在するときの B-FF のテスト可能な故障は表 10 のようになる。それぞれの故障集合を F_i^1, F_i^2 とする。
表 10 より、

1. $\zeta_i = \{\zeta_i^0, \zeta_i^1\}$ が存在する場合：
   — $F_i^1 \cup F_i^2$ の故障 (クラス F の故障) は ζ_i でテスト可能である
2. ζ_i が存在しない場合、すなわち、
   (a) ζ_i^0 が存在しない場合：
      — F_i^1 は冗長である
   (b) ζ_i^0 および ζ_i^1 が存在しない場合：
      — F_i^2 は冗長である

したがって、核外 FF FF_i に対するクラス F の非冗長故障はテスト系列 ζ_i でテスト可能である。　□

補題 7　B-FF FF_i $(i = 1, 2, \ldots, n)$ に対するクラス G の非冗長故障は、テスト系列$\eta_i = \{\eta_i^0, \eta_i^1\}$ でテスト可能である。

（証明）各テスト系列 η_i^v $(v = 0/1)$ が存在するときの B-FF のテスト可能な故障は表 11 のようになる。それぞれの故障集合を G_i^1, G_i^2 とする。
表 11 より、

1. $\eta_i = \{\eta_i^0, \eta_i^1\}$ が存在する場合：
   — $G_i^1 \cup G_i^2$ の故障 (クラス F の故障) は η_i でテスト可能である
2. η_i が存在しない場合、すなわち、
   (a) η_i^1 が存在しない場合：
      — G_i^1 は冗長である
   (b) η_i^0 および ζ_i^1 が存在しない場合：
      — G_i^2 は冗長である

したがって、核外 FF FF_i に対するクラス G の非冗長故障はテスト系列 η_i でテスト可能である。　□

クラス F, G の故障に対する表 6 のテストパターンでは、B-FF の MUX2 において FF からの入力を 1 時刻前にスキャン入力から与えることによって設定していた。これに対し、テスト系列 ζ_i, η_i では FF からの入力を核回路 S_K のテスト生成の時点で設定しているが、これらはクラス F, G の故障をテストしていることに変わりはない。

補題 1 ∼ 7 より、次の定理が成立する。

定理 4　核回路が内部平衡構造となるように拡張部分スキャン設計を行った回路を S_{DFT} とする。このとき、S-FF、B-FF の非冗長故障は、テスト系列α, β_i, γ_i, δ_i, ϵ_i, ζ_i, η_i $(i = 1, 2, \ldots, n)$ でテスト可能である (ここで n は核外 FF の個数)。　□

6　あとがき

核回路を組合せテスト生成可能な順序回路のクラスとして内部平衡構造にするときの拡張部分スキャン設計の手法を示し、その性質を明らかにした。拡張部分スキャン設計では、従来の部分スキャン設計と比較して、FF ばかりでなく信号線も選択することによって選択の自由度が大きくなり、回路全体の面積オーバーヘッドを小さくすることが期待できる。また、任意に与えられた順序回路から核回路が内部平衡構造となるような外部 FF および外部信号線を選択する問題について考察した。さらに、核回路を内部平衡構造とする拡張部分スキャン設計した回路では、核内のテスト生成問題は組合せテスト生成問題に帰着することを導いた。核外のテストについては別途、生成したテスト系列によりテストすることができることを示した。

謝 辞　本論文に関し、多くの貴重なご意見をいただいた本学の増澤利光助教授、井上美智子助手、ならびに情報論理学講座の諸氏に感謝いたします。

参考文献

[1] H. Fujiwara, *Logic Testing and Design for Testability*, The MIT Press, 1985.

[2] M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital Systems Testing and Testable Design*, Computer Science Press, 1990.

[3] K. Cheng and V. D. Agrawal, "A partial scan method for sequential circuits with feedback," *IEEE Trans. on Comput.*, Vol. 39, No. 4, pp.544-548, April 1990.

[4] R. Gupta and M. A. Breuer, "Testability properties of acyclic structures and applications to partial scan design," *Proc. IEEE VLSI Test Symp.*, pp.49-54, 1992.

[5] R. Gupta, R. Gupta and M. A. Breuer, "The BALLAST methodology for structured partial scan design," *IEEE Trans. on Comput.*, Vol. 39, No. 4, pp.538-544, April 1990.

[6] 藤原秀雄, "組合せテスト生成複雑度でテスト生成可能な順序回路構造とその応用," 信学技報, FTS95-65, pp.17-24, 1995-12.

[7] H. J. Wundelich and S. Hellebrand, "The pseudoexhaustive test of sequential circuits," *IEEE Trans. on CAD*, Vol. 11, No. 1, pp.26-33, 1992.

[8] D. Kagaris, S. Tragoudas and D. Bhatia, "Pseudoexhaustive BIST for Sequential Circuits," *Proc., IEEE International Conference on Computer Design*, pp.523-527, 1993.

[9] J. Steensma, F. Catthoor and H. DeMan, "Partial scan and symbolic test at the register-transfer level," *Journal of Electronic Testing: Theory and Applications*, Vol. 7, pp.7-23, 1995.