単一端子変化遅延テストに基づくデータパスのテスト容易化設計

吉川　祐樹† 　大竹　哲史† 　井上美智子† 　藤原　秀雄†

† 奈良先端科学技術大学院大学, 情報科学研究科
〒 630-0192　けいはんな学研都市
E-mail: †{yuuki-y,ohtake,kounoe,fujiwara}@is.naist.jp

あらまし　本稿では，階層テスト生成に基づくデータパスの非スキャンテスト容易化設計法を提案する．提案手法では，データパスの全てのテスト対象パスが単一端子変化 2 パタン可検査性を満たすように設計変更を行う．これによりロバストテスト，ノンロバストテスト可能なパス遅延故障のテストを保証する．単一端子変化の 2 パタンは，組合せ部分回路に対して，1 端子のみ 2 パタン目の値が変化するテストパタンである．単一端子変化の 2 パタンは，任意の 2 パタンに比べて，レジスタ転送レベルにおける制御経路の生成を容易にすることができる．その結果，提案手法は，階層 2 パタン可検査性を保証するテスト容易化設計法より小さい面積オーバヘッドを達成できる．更に，提案手法では，順序冗長なパスの一部をテスト不要パスとし，テスト及びテスト容易化設計から除外することで，過剰テストの緩和，面積オーバヘッドの削減を行う．

キーワード　パス遅延故障，階層テスト生成，非スキャンテスト容易化設計，単一端子変化 2 パタンテスト

Design for Testability Based on Single-Port-Change Delay Fault Testing for Data Paths

Yuki YOSHIKAWA†, Satoshi OHTAKE†, Michiko INOUE†, and Hideo FUJIWARA†

† Graduate School of Information Science , Nara Institute of Science and Technology
Kansai Science City , 630-0192 , Japan
E-mail: †{yuuki-y,ohtake,kounoe,fujiwara}@is.naist.jp

Abstract　This paper presents a non-scan design-for-testability(DFT) method based on single-port-change(SPC) delay fault testing for register-transfer level data paths. SPC two-pattern testability guarantees detection of robust and non-robust testable path delay faults . SPC two-pattern tests for combinational logic blocks can be generated by using a combinational test generation algorithm with constraints . Comparing to arbitrary two-pattern tests , it is easier to generate control paths for SPC two-pattern tests . As a result , proposed method can reduce hardware overhead compared to the previous DFT method for hierarchical two-pattern testability . Furthermore , in order to relax overtesting , we propose a method to find subset of sequentially redundant paths .

Key words　path delay fault , hierarchical test generaiotn , non-scan DFT , single-port-change two-pattern test

1. ま え が き

近年，VLSI の動作速度は高速化の一途をたどっており，回路のタイミングに関する欠陥をテストするために，遅延故障をテスト対象とすることが非常に重要になっている．遅延故障の故障モデルには，遷移故障，セグメント故障，パス遅延故障などがあり，中でも，パス遅延故障は最も一般性が高いとされている [1]．本稿ではこのパス遅延故障を対象故障とする．パス遅延故障のテストには，テスト対象パスの始点及び関連する入力に所望の連続する 2 ベクトル (以降，2 パタンと呼ぶ) を印加する必要がある．一般に，順序回路では，その 2 パタンを正当化するためのテスト系列を求めるのに膨大な時間を必要とし，実用的な時間で高い故障検出率を得ることができない．そこで，フリップフロップ (FF) に対し 2 パタン可制御性と可観測性を保証する拡張スキャン方式のテスト容易化設計法が提案されている [2] [3]．しかし，面積オーバヘッドが非常に大きく，更にテスト時のシフト動作により，テスト実行時間が長くなるという問題がある．この問題点を緩和する手法として，レジスタ転送レベル (RTL) で表現された回路に対するテスト容易化設計法が提案されている [4]．この手法は，RTL 回路のデータパスに対して，非スキャン方式のテスト容易化設計法を適用し，面積オーバヘッドとテスト実行時間の問題を削減しているが，面

積オーバヘッドには更に改善の余地がある．また [2], [4] は，過剰テストの問題を考慮していない．過剰テストとは，本来テスト不可能なパスが，テスト容易化設計を行うことにより，テストされてしまうことを言う．その結果，歩留まりが悪くなる，良品を不良品と判断してしまうなどの悪影響を及ぼす．

パス遅延故障のテストは，2パタンの品質により，ロバストテスト，ノンロバストテスト，機能的活性可能テストに分類され，この順で品質が高い．本稿では，ロバストテスト，ノンロバストテストを対象とする．文献 [5], [6] において，ロバストテスト及びノンロバストテスト可能な故障は，単一テスト可能というクラスに分類されている．単一テスト可能なクラスに属するパス遅延故障のテストには，テスト対象パスの始点となる1ビットにのみ遷移を起こす単一入力変化 (Single-Input-Change,SIC) の2パタンを生成できることが保証されている [5], [6]．本稿では，この単一入力変化の概念を RTL に拡張した単一端子変化 (Single-Port-Change,SPC) 2パタン可検査性を提案し，テストを必要とする全てのパスが，単一端子変化2パタン可検査性を満たすためのテスト容易化設計法を述べる．端子とは，RTL 回路における回路要素の入出力のことであり，ビット幅を持っている．更に，コントローラの状態遷移，データパスへの制御信号を解析することにより，テスト不要パスの判定方法を提案する．

ベンチマーク回路に対する実験結果では，従来法に比べて面積オーバヘッドを最大約５０％削減し，更に，テスト不要パスをテスト対象パスから除外することにより，テスト実行時間を大幅に削減できることを示す．

2. 対象とする回路

本節では，本稿で対象とする回路と故障について述べる．一般に，RTL 回路はコントローラとデータパスで構成され，それらは互いに制御信号線と状態信号線で接続されている．データパスは回路要素及び回路要素を接続するデータ信号線で構成される．データパスの回路要素には，外部入力，外部出力，レジスタ，マルチプレクサ，演算モジュール，観測モジュールがあり，回路要素の出力端子は他の回路要素の入力端子とデータ信号線によって接続されている．制御信号線，状態信号線は，回路要素の制御端子，状態端子に接続される．各入力端子は少なくとも1つの外部入力から到達可能であり，各出力端子からは少なくとも1つの外部出力へ到達可能とする．演算モジュールは，1つまたは2つの入力端子，1つの出力端子，高々1つの状態端子を持つ．観測モジュールは，1つまたは2つの入力端子，1つの状態端子，高々1つの制御端子を持つ．また，レジスタにはホールド機能を持つものとそうでないものがある．

外部入力からレジスタ，レジスタからレジスタ，レジスタから外部出力，もしくは外部入力から外部出力へのビット幅を持つ経路を RTL パスと呼ぶ．本稿では RTL パスのビット幅は均一であるものとする．また，1 本の RTL パス上に存在する演算モジュール数は高々1つとし，チェイニングはないものとする．本稿では RTL における議論が主であり，パスをビットレベルで捉えるのではなく，パスの集合である RTL パスを対象に議論を進める．これ以降，不明確でない限り RTL パスを単にパスと表現する．

本稿では，コントローラを切り離したデータパスをテスト対象回路とし，データパス内部のパス遅延故障をテスト対象とする．このとき，制御信号線の値は外部から直接制御可能であるものとする．データパス内部のパス遅延故障とは，データパス内に始点と終点を持つパスの遅延故障のことであり，制御信号線や状態信号線を含むパス遅延故障は含まない．

3. 提案手法の概要

本節では，提案手法の概要を述べる．提案手法は，データパス内部のテストが必要な全てのパスに対して，単一端子変化2パタン可検査性を保証するためのテスト容易化設計法である．単一端子変化2パタン可検査性を満たすパスには，ロバストテスト，ノンロバストテスト可能な故障に対して，ロバストテスト，ノンロバストテストを保証できる．その理由と単一端子変化2パタンテスト及び単一端子変化2パタン可検査性の定義については3章で述べる．

提案手法では，まず始めにテスト不要パスを抽出し，それらのパスをテスト対象から除外する．これにより過剰テストを緩和することができる．更に，テスト不要パスに対するテスト容易化設計を行う必要がなくなり，全てのパスを対象とする場合に比べて付加ハードウェアの削減にもつながる．本稿におけるテスト不要パスとは，フォールスパスと複数クロック耐性パス (Multiple clock tolerant paths) のことを言う．フォールスパスは，常に活性化されないパスのことである．複数クロック耐性パスは，パスの始点から終点まで値が伝搬するのに2クロック以上かかっても良いパスのことを言う．テスト不要パスの判定方法については4章で述べる．

テストが必要なパスに関しては階層テスト生成を行う．階層テスト生成は，ゲートレベルのテスト生成と RTL のテスト生成から構成される．ゲートレベルのテスト生成では，組合せ部分回路単体に対して，組合せテスト生成アルゴリズムを適用し，単一端子変化の2パタン集合 T を生成する．組合せ部分回路とは，テスト対象パスの終点となるレジスタへの入力組合せ部分回路 (入力錐) のことを言い，そのレジスタを終点とする全てのパス上に存在する組合せモジュールから構成される．一方，RTL のテスト生成では，組合せ部分回路に対して制御経路と観測経路を決定し，テストプランの生成を行う．制御経路とは，外部入力から組合せ部分回路の入力となるレジスタまでの経路のことを言う．また，観測経路とは，テスト応答を取り込んだレジスタから外部出力までの経路のことを言う．テストプランとは，任意の $t \in T$ を外部入力から組合せ部分回路へ正当化し，その出力応答を外部出力へ伝搬するための制御入力の時系列である．

本稿では，各テスト対象パスに対して，テストプランが少なくとも1つ存在するようにテスト容易化設計を行う．5章では，1本のテスト対象パスに対して単一端子変化2パタン可検査性を定義し，パスが単一端子変化2パタン可検査性を満たすための制御経路，観測経路の条件を説明する．更に，6章では，テ

ストを必要とする全てのパスが単一端子変化 2 パタン可検査性を満たすためのテスト容易化設計アルゴリズムを述べる．このアルゴリズムは，テスト容易化設計に伴う面積オーバヘッドの最小化を目的としている．

4. テスト不要パスの判定

本章では，テスト不要パスの判定方法について説明する．RTL の記述を解析することにより，コントローラの状態遷移とデータパスへの制御信号の情報を得ることができる．提案手法では，回路構造とデータ転送に関する情報からテスト不要パスを抽出し，テスト対象パスから除外する．

P を対象回路に存在する全ての RTL パスの集合とする．また，$p \in P$ をテスト不要パスの判定対象とする．p の始点となるレジスタを R_s，終点となるレジスタを R_e，各々の L/H ($1/0$ に対応) の制御信号線を C_{Rs}，C_{Re} とする．ただし，レジスタがホールド機能を持たない場合，そのレジスタには制御信号があるものと想定し，その制御信号値は常に 1 とする．p の始点が外部入力，もしくは終点が外部出力の場合もホールド機能を持たないレジスタと同様に扱う．続いて，p 上にあるマルチプレクサを $M_1, \ldots M_n$ とし，それらの制御信号を $C_{M1}, \ldots C_{Mn}$ とする．マルチプレクサが p を選択するときの制御値を $C_{M1}, \ldots C_{Mn} = p_{M_1}, \ldots p_{M_n}$ とする．コントローラの状態 $S = \{S_0, \ldots S_n\}$ の中で S_i から S_j へ直接状態遷移可能である時，S_i と S_j を連続する 2 状態と言う．連続する 2 状態での制御信号を，$C_x = (V_i, V_j)$ と表現する．テスト不要パスを判定するためには，連続する 2 状態を考える必要がある．以下の 2 つの条件は，ある連続する 2 状態において p のテスト不要性を判定するための十分条件である．

定理 1　どの連続する 2 状態に対しても，以下の条件のいずれかが成り立つとき，p はテスト不要である．

条件 1　$C_{Rs} = (0, -)$ または $C_{Re} = (-, 0)$　　$-$:ドントケア

条件 2　$C_{M1}, \ldots C_{Mn} \neq (-, p_1), \ldots (-, p_n)$　　□

条件 1 はレジスタに関する条件で，状態 S_i で R_s に値が取り込まれない，もしくは S_i で R_s に取り込まれた値が S_j で R_e に取り込まれないことを意味している．条件 2 はマルチプレクサに関する条件で，S_i で R_s に取り込まれた値が R_e まで伝搬する S_j において，パス p が選択されていないことを意味している．

5. 単一端子変化 2 パタン可検査性

本章では 5.1 節で，単一端子変化 2 パタンによるテスト及びテスト生成時に回路の入力に与える制約について説明する．次いで 5.2 節では，単一端子変化 2 パタンテストが，ロバストテスト，ノンロバストテスト可能な故障に対してロバスト，ノンロバストテスト可能であることを証明する．更に 5.3 節では，単一端子変化 2 パタン可検査性について定義し，テスト対象パスが単一端子変化 2 パタン可検査となるための制御経路と観測経路の条件を述べる．

5.1 単一端子変化 2 パタンテスト

単一端子変化の 2 パタンとは，1 端子のみ 2 パタン目の値が変化するテストパタンである．この 2 パタンにおいてテストされるパスは，2 パタン目が変化する 1 本の RTL パスである．このときテストされる RTL パスをオンパスと言う．一方，オンパスの始点で起こる遷移を終点まで伝搬させるための 2 パタンを印加する RTL パスをオフパスと言う．オフパスには遷移を起こす必要はなく，1 パタン目の値を保持すれば十分である．演算モジュールを通るオンパスに対して，オンパスに属さない入力端子を通るパスがオフパスであり，本稿では演算モジュールの入力端子数を 1 つまたは 2 つと仮定しているため，オフパスは，オンパスに対して高々 1 本あれば十分である．オフパスは，演算モジュールにおいてオンパス側の入力端子と異なる入力端子に接続されたパスの中から 1 本選択する．2 パタンが印加される 2 時刻において，各マルチプレクサは，オンパスとオフパスを選択する．マルチプレクサは，制御信号線の値が固定されている 2 時刻において，選択している方の入力値を，選択されていない方の入力値に依存することなく出力する．そのため，オンパスとオフパスの始点にのみテストパタンを印加すれば十分である．

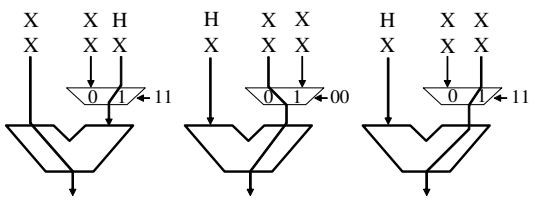

図 1　ATPG に与える単一端子変化 2 パタンの制約

単一端子変化の 2 パタンは，組合せ部分回路の入力に制約を与えてテスト生成を行うことにより求まる．制約を表す記号として，X と H を用いる．X は任意の値を印加可能，H は直前の値を保持することを表す．図 1 にテスト生成時に与える制約の例を示す．XX は連続する任意の値を印加可能なことを表し，オンパスの入力制約となる．XH は 1 パタン目のみ任意の値で，2 パタン目は 1 パタン目の値を保持することを表し，オフパスの入力制約となる．マルチプレクサの制御信号は，オンパスとオフパスを選択する．よって，オンパスでもオフパスでもないパスの始点に生成されるテストパタンは，オンパスのテストに影響を与えないため無視できる．この例では，3 回の制約付きテスト生成によって全てのパスをテスト対象にすることができる．単一端子変化 2 パタンテストは，オンパスの始点にのみ任意の 2 パタンを必要とするため，制御経路の生成が容易になるという利点を持つ．

5.2 単一端子変化 2 パタンテストの完全性

本節では，単一端子変化 2 パタンテストが，ロバストテスト，ノンロバストテスト可能な故障に対してロバストテスト，ノンロバストテスト可能であることを証明する．

Smith らは [5] で，あるパス遅延故障に対して単一入力変化のロバスト 2 パタンテストが存在するとき，かつそのときに限りその故障はロバストにテストできることを示した．また，ノンロバストテストに関して以下の定理が証明されている．

定理 [6]　パス遅延故障に対する単一入力変化のノンロバス

ト 2 パタンテストが存在し，かつそのときに限り，そのパス遅延故障は単一テスト可能である．

ここでパス遅延故障が単一テスト可能であるとは，回路中にパス遅延故障が単一で存在するときに検出可能であることをいい，単一テスト可能なパス遅延故障に対しては，ノンロバストテストが存在する [6]．

以上のことから，ロバストテスト，ノンロバストテスト可能な故障に対して，ロバストテスト，ノンロバストテスト可能な単一入力変化の 2 パタンが必ず存在すると言える．単一入力変化の 2 パタンは，テスト対象パス (ゲートレベルのパス) の始点となる 1 ビットのみ遷移が起こる．一方，単一端子変化の 2 パタンは，オンパスの始点となる n ビットに遷移を起こすことができる．そのため，1 ビットのみ遷移を起こすことも当然可能である．よって，単一端子変化 2 パタンは単一入力変化の 2 パタンを被覆している．このことから，単一端子変化 2 パタンテストは，ロバストテスト，ノンロバストテスト可能な故障を全てテストできることが保証される．

5.3 単一端子変化 2 パタン可検査パス

本節では，演算モジュールを通るパスについて単一端子変化 2 パタン可検査性を定義する．2 入力の演算モジュールを通らないパスのテストは，オフパスが存在しないため，1 本の制御経路と 1 本の観測経路を保証すれば 2 パタンテスト可能である．1 本の制御経路であれば，値の正当化に関してタイミングの衝突は起こらない．タイミングの衝突とは，同時刻に，同じ外部入力に対して異なる値が要求されることを言う．よって，次節で述べるスルー機能を用いることで必ず制御経路を構成できることから，制御経路に関して議論の対象としない．2 入力の演算モジュールを通るパスのテストは，2 本の制御経路 C_1, C_2 で 2 パタンを正当化し，観測経路 O_p で観測する．C_1 はオンパスへの制御経路，C_2 をオフパスへの制御経路とする．

定義 1　C_1, C_2 が組合せ部分回路に対して単一端子変化の 2 パタンを正当化でき，かつその応答を O_p で観測可能なとき，オンパス p は単一端子変化 2 パタン可検査であると言う．

5.3.1 制御経路の条件

制御経路上に演算モジュールが存在する場合，演算モジュールの入力 (制御経路側) から出力へ，値を変化させることなく伝搬させるために，スルー機能を用いる．一般の演算モジュール (加算器や乗算器など) では，他方の入力に定数値を印加することでスルー機能を実現できる．定数値の印加は，マスク素子や補助経路によって実現できる [7]．マスク素子は，制御信号が 1 のとき定数を出力し，0 のとき入力を出力へ通過させる機能を持つ．補助経路は，外部入力から演算モジュールの入力までの経路のことで，タイミングを考慮して所望の定数を正当化することで実現する．以下では議論を簡単にするため，全ての演算モジュールにスルー機能があるものと仮定するが，単一端子変化 2 パタン可検査性を満たすのに十分なスルー機能の付加については，テスト容易化設計アルゴリズムで述べる．

単一端子変化 2 パタンを外部入力から組合せ部分回路に正当化するためには，制御経路間の順序深度の関係や，制御経路上のホールド機能の有無が重要となる．制御経路 C_i の順序深度は，制御経路上に現れるレジスタの数とし，$SD(C_i)$ で表わす．また，オンパスへの制御経路の終点を EP_{on} で表し，オフパスへの制御経路の終点を EP_{off} で表す．定理 2 では，オンパスに対して単一端子変化 2 パタンを保証するための 2 本の制御経路 C_1, C_2 の必要十分条件を述べる．

定理 2　組合せ部分回路に対する 2 本の制御経路 C_1 ,C_2 が，以下の 5 つの条件のいずれかを満たすとき，かつそのときに限り EP_{on} と EP_{off} に対してオンパスをテストするための単一端子変化 2 パタンを正当化できる．　□

C_1 と C_2 が同じ経路を部分的に共有する場合，最後の分岐点から EP_{on} ,EP_{off} への経路をそれぞれ C_1' ,C_2' とする．

条件 1　C_1 と C_2 が異なる外部入力を持ち，経路を共有しない．

条件 2　C_1', C_2' に関して，$|SD(C_1') - SD(C_2')| \geq 2$ となる．

条件 3　C_1' 上にホールド機能を持つレジスタが少なくとも 2 つ存在する．

条件 4　C_2' 上にホールド機能を持つレジスタが少なくとも 1 つ存在する．

条件 5　$SD(C_2') - SD(C_1') = 1$ のとき，C_1' 上にホールド機能を持つレジスタが 1 つ存在する．　□

図 2 は上記の 5 つの条件を図示したものである．

十分性　全ての演算モジュールにはスルー機能があるものと仮定しているため，ここではタイミングの衝突に関して議論すれば十分である．条件 1 は，2 本の制御経路間にタイミングの衝突が起こらないことから任意の 2 パタンを正当化可能である．条件 2，3，5 は外部入力を共有しているものの，タイミングが衝突することなく任意の 2 パタンを正当化できる．条件 2 では，順序深度の大きい方から先に 2 パタンを入れれば良い．条件 3 では先に C_1' へ 2 パタンを入れ，値をホールドした状態で C_2' へ 2 パタンを入れることにより任意の 2 パタンを正当化できる．また，条件 5 では先に C_1' へ 1 パタンを入れ，値をホールドした状態で C_2' へ 2 パタンを入れる．最後に C_1' へ 1 パタンを入れれば任意の 2 パタンを正当化できる．条件 1，2，3，5 は，任意の 2 パタンを正当化できることから単一端子変化の 2 パタンも正当化可能と言える．条件 4 の場合であっても，先に C_2' へ 1 パタンを正当化し，値をホールドした後 C_1' へ 2 パタンを正当化することで，単一端子変化の 2 パタンを正当化できる．　□

必要性　条件 1 から 5 がいずれも成り立たない場合を考える．すなわち，制御経路 C_1 と C_2 は以下の 5 つの条件全てを満たす．

条件 1'　C_1 と C_2 は同じ外部入力を持ち，経路の一部を共有する．

条件 2'　$|SD(C_1') - SD(C_2')| \leq 1$ となる．

条件 3'　C_1' 上に存在するホールド機能を持つレジスタは高々 1 つである．

条件 4'　C_2' 上にホールド機能を持つレジスタは存在しない．

条件 5'　$SD(C_2') - SD(C_1') = 1$ のとき，C_1' 上に存在するホールド機能を持つレジスタは 1 つでない．

上記の要素を全て満たす制御経路 C_1, C_2 には以下の 4 つがある．

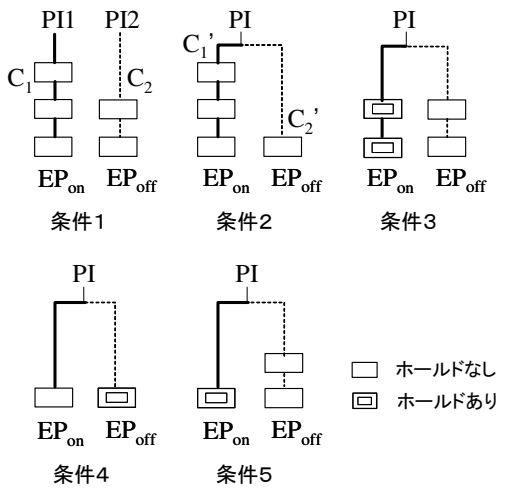

図 2　制御経路の条件

（1） C_1 と C_2 は経路の一部を共有し，$|SD(C_1') - SD(C_2')| = 1$，かつ C_1'，C_2' 上にホールド機能を持つレジスタが存在しない．

（2） C_1 と C_2 は経路の一部を共有し，$|SD(C_1') - SD(C_2')| = 0$，かつ C_1'，C_2' 上にホールド機能を持つレジスタが存在しない．

（3） C_1 と C_2 は経路の一部を共有し，$SD(C_1') - SD(C_2') = 1$，かつ C_1' 上にホールド機能を持つレジスタが 1 つ存在する．

（4） C_1 と C_2 は経路の一部を共有し，$|SD(C_1') - SD(C_2')| = 0$，かつ C_1' 上にホールド機能を持つレジスタが 1 つ存在する．

上記の制御経路 C_1, C_2 は，どれもオンパスをテストするための単一端子変化 2 パタンを正当化できない．よって，条件 1 から 5 はオンパスをテストするための単一端子変化 2 パタンを EP_{on}，EP_{off} へ正当化できる唯一の条件である． □

単一端子変化の 2 パタンは，$|SD(C_1') - SD(C_2')| = 0$ の場合であってもホールド機能だけで解決できる．一方，任意の 2 パタンを正当化する場合，ホールド機能だけではタイミングの衝突を回避できず，より複雑なテスト容易化設計が必要となる．

5.3.2　観測経路の条件

組合せ部分回路のテスト応答を観測するためには，パスの終点となるレジスタで取り込んだテスト応答を変化させることなく外部出力へ伝搬すればよい．そのため，観測経路上の全ての演算モジュールに対してスルー機能が存在すればよい．

6. テスト容易化設計

本章では，全てのテストが必要なパスを単一端子変化 2 パタン可検査にするためのテスト容易化設計アルゴリズムを提案する．このアルゴリズムは，過剰テストの緩和とテスト容易化設計に伴うハードウェアオーバヘッドの最小化を図る．

6.1　付加ハードウェア要素

テスト容易化設計に用いる付加ハードウェアとして，以下の 3 つの要素を用いる．

- マルチプレクサ
- ホールド機能
- スルー機能

テスト用のマルチプレクサ（以下，通常のマルチプレクサと区別するためテストマルチプレクサと言う）は，単一端子変化 2 パタン可検査性を保証するため，外部入力からレジスタまでの経路を新たに生成するのに用いる．ホールド機能とは，レジスタの値を保持する機能であり，レジスタの直前にマルチプレクサを付加し，出力を入力へフィードバックさせることで実現可能となる．なお，スルー機能に関しては，4.1 節で述べた通りである．

6.2　テスト容易化設計アルゴリズム

テスト容易化設計アルゴリズムを図 3 に示す．

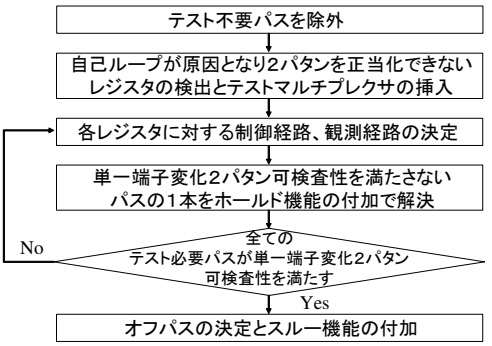

図 3　テスト容易化設計アルゴリズム

ステップ 1

定理 1 の条件に従ってテスト不要パスを検出し，テスト対象から除外する．これにより，過剰テストの緩和を行うことができるだけでなく，テスト容易化設計なしではテストできないパスがテスト不要と判定されれば，付加するハードウェアの削減にもつながる．

ステップ 2

レジスタから組合せ回路要素のみを通って元のレジスタへフィードバックする経路をレジスタに関する自己ループと呼ぶ（以下，自己ループと略す）．この自己ループを持つレジスタの中で，2 パタンを正当化できないレジスタを 2 パタン制御不能レジスタと呼ぶ．2 パタン制御不能レジスタを始点とするパスをテストするための制御経路は，定理 2 を満たさない．2 パタン制御不能レジスタを検出するために，R，M，Fo，Fi 4 種類のノードと有向辺を用いて回路をモデル化する．各ノードは順に，レジスタ，演算モジュール，分岐点，マルチプレクサを表しており，回路要素の出力端子から入力端子への信号線に対応した有向辺で接続される．図 4(a)(b) は 2 種類の簡単な構造の自己ループの例である．本稿では，パス上に存在する演算モジュール数を高々 1 つと仮定しているため，データパス内の任意の自己ループは，どちらかのグラフに Fo ノード，Fi ノードを付加したグラフでモデル化できる．自己ループが，以下の 2 つの条件を同時に満たすとき，そのループ上のレジスタ R_i は 2 パタン制御不能レジスタである．

（1） M_i から R_i の間に，外部入力から任意の値を正当化できる経路を持つ Fi_i がない

（2） R_i を始点とし、M_i を通る経路が 1 本でもテスト必要なパスである

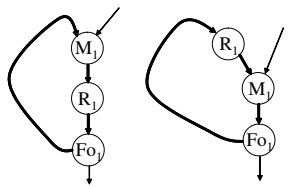

図 4　自己ループ (a)　　自己ループ (b)

2 パタン制御不能レジスタは，M_i から R_i の間にテストマルチプレクサを挿入し，外部入力からテストマルチプレクサへ経路を追加することで，2 パタンを正当化することができる．定理 2 の条件 1 を満たすために，外部入力の選択は，演算モジュールの入力端子のうち，2 パタン制御不能レジスタが接続されていない方の端子に最も小さい順序深度で到達する外部入力以外の中から行う．これにより，ステップ 3 において演算モジュールの各入力端子には，異なる外部入力から制御経路が生成される．ただし，回路が唯一の外部入力しか持たない場合，その外部入力から経路生成を行う．このとき，定理 2 の条件 2，3，4，5 いずれも満たせない場合には，ステップ 4 においてレジスタにホールド機能が付加される．

ステップ 3

最小の面積オーバヘッドで全てのテスト対象パスが単一端子変化 2 パタン可検査性を満たせることが理想である．しかしながら，経路の数は膨大であり，存在する全ての解の中から最適解を見つけることは困難であるためヒューリスティックを用いる．本研究では，付加するハードウェアを少なくするために，制御経路の集合が外部入力を根とする林を構成するように制御経路を選ぶ．また，テスト実行時間の短縮を考慮し，外部入力からレジスタまでの順序深度が小さい制御経路を選択する．そこで，そのような経路を探索するために，端子グラフ $G = (V, E)$ を用いる [7]．頂点集合 V は，回路要素の入出力端子であり，有向辺集合 E は，信号線と回路要素の入出力関係を示す．図 5 は LWF の回路を端子グラフに変換した図である．この端子グラフに対して，レジスタに関する幅優先探索を行うことにより外部入力を根とする林を構成し，外部入力から各レジスタへの最も順序深度の小さい経路を決定する．探索は，全てのレジスタに到達した時点で終了する．幅優先探索を用いた経路探索は，従来法でも行われている．本稿では，単一端子変化 2 パタン可検査性の特徴を考慮した探索条件を追加する．単一端子変化 2 パタン可検査性を満たすには，経路上にホールド機能が存在する方が有利である．そこで，同じ順序深度の探索経路が複数存在する場合，ホールド機能を持つレジスタを始点とする経路探索を優先することにする．図 6 は，図 5 に対して幅優先探索を行った結果であり，生成された林を制御林と呼ぶ．

一方，各レジスタの観測経路は，観測林を生成することで決定する．観測林の生成は，外部出力からの幅優先探索により行うが，制御経路と観測経路でスルー機能を共有できることから，同じ順序深度ならば制御林と重なる枝を優先して幅優先探索を行う．ステップ 3 は，与えられた回路に対して制御林，観測林を生成するステップであり，ステップ 4 で回路が変更された場合，その変更後の回路に対してステップ 3 が行われる．

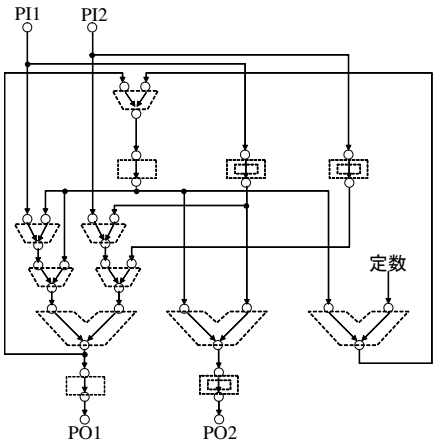

図 5　端子グラフ

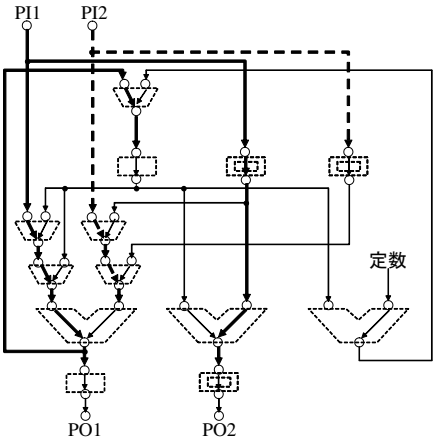

図 6　制　御　林

ステップ 4

ステップ 4 では，単一端子変化 2 パタン可検査性を満たさないパスの中の 1 本を，レジスタにホールド機能を付加することにより，単一端子変化 2 パタン可検査性を満たすパスにする．ステップ 4 の処理対象となるパスは，制御経路 (または制御経路対) が割り当てられていないパスであり，ステップ 4 が初めて実行される場合には，テストが必要な全てのパスが対象となる．ただし，2 入力の演算モジュールを通らないパスについては，ステップ 3 において初めて生成された制御経路を割り当てる．

最初に，単一端子変化 2 パタン可検査性を満たさないパスを判定するために以下の処理を行う．各組合せ部分回路について注目し，各パスが定理 2 を満たすかどうかを判定する．各外部入力から各レジスタへの制御経路や順序深度は，ステップ 3 で生成した制御林から得る．このとき，単一端子変化 2 パタン可検査性を満たしたパスについては，その制御経路対をそのパスに割り当てる．制御経路対を割り当てる必要のあるパスにおいて，オンパスへの制御経路に対して定理 2 を満たすオフパスへの制御経路が 1 本も存在しない場合，そのオンパスは単一端子変化 2 パタン可検査性を満たさない．この場合，オフパスの始点となるレジスタの中で，最も順序深度の小さいレジスタを，

表 1　面積オーバヘッドの比較

回路名	手法	面積オーバヘッド（%）	MUX	HOLD	THRU	REFF
Paulin	提案	3.30	3	0	0	0
	従来	7.43	2	0	1	2
LWF	提案	6.38	1	1	0	0
	従来	13.99	0	0	0	1
Tseng	提案	3.12	1	0	2	0
	従来	3.12	1	0	2	0

表 2　テスト実行時間の比較

回路名	手法	RTL パスの数（本）	テスト実行時間（クロックサイクル）
Paulin	1. 提案 DFT	22	785,136
	2. 提案 DFT, 判定なし	33	1,594,259
	3. 従来 DFT	31	1,645,335
LWF	1. 提案 DFT	17	38,913
	2. 提案 DFT, 判定なし	20	49,916
	3. 従来 DFT	19	74,792

ホールド機能を追加する候補とする．候補群の中で，最も順序深度の小さいレジスタのうちの 1 つにホールド機能を追加する．この処理において，単一端子変化 2 パタン可検査性を満たさないパスのうち，少なくとも 1 本のパスは単一端子変化 2 パタン可検査性を満たすようになる．ホールド機能を付加した場合はステップ 3 へ戻り，更新された情報を基に制御林を構築する．

最も順序深度の小さいレジスタから解決する理由は，制御林が木構造であるため，根（外部入力）に近い部分にホールド機能を追加することで，葉（レジスタ）の問題が解決される可能性があるためである．

ステップ 5

ステップ 3 ，ステップ 4 によって，テストが必要な全てのパスは単一端子変化 2 パタン可検査性を満たしており，各パスに対する制御経路，観測経路も決定している．テスト実行時間ができるだけ短いテストプランを生成するために，各オンパスに対して最小の順序深度，かつオンパスとは異なる外部入力からの制御経路を持つオフパスを優先して選択する．そのようなオフパスが存在しない場合，最小の順序深度のオフパスの中から 1 つ選択する．このようにテストプランを決定することで，テスト実行時間は短くできる．

今まで，全ての演算モジュールの全ての入力端子から出力端子にスルー機能があると仮定して議論してきた．ここでは，全てのテストプランを決定した上で，真に必要とされるスルー機能が，補助経路によって実現できるのか，それともマスク素子を付加しなければならないのかを調べる．スルー機能を必要とする場所は，制御林，観測林いずれかの枝が存在する演算モジュールの入出力端子間である．これらのスルー機能に対して，制御経路や観測経路による値の正当化とタイミングが衝突しない補助経路を探索する．補助経路が存在しない場合，マスク素子を付加する．

7. 実験結果

本章ではベンチマーク回路を用いた実験より，階層 2 パタン可検査性を満たすテスト容易化設計法 [4] と本手法を，面積オーバヘッド及びテスト実行時間について比較する．階層 2 パタン可検査性を満たすデータパスは，各組合せ部分回路に対して任意の 2 パタン可制御性，及び 1 パタン可観測性を持つ．この従来法は，拡張スキャン方式に比べて低い面積オーバヘッド，短いテスト実行時間を達成している．論理合成ツールは，DesignCompiler（Synopsys）を使用した．パス遅延故障に対する制約付き組合せテスト生成アルゴリズムは，本研究室の Virendra Singh 氏が実装したものを使用した．

表 1 は，各回路に対してそれぞれのテスト容易化設計法を用いた場合の面積オーバヘッドと，付加したハードウェア要素の個数を示している．MUX はテストマルチプレクサ，HOLD はホールド機能，THRU はスルー機能を表す．REFF（Rotating enhanced-flip-flop）は，従来法でのみ使用される付加ハードウェア要素で，強制的に 2 パタンを保持するためにレジスタとマルチプレクサを付加することから面積オーバヘッドが大きくなる原因となる．各回路において，提案法は従来法より小さい面積オーベッドとなった．中でも Paulin と LWF の面積は，従来法に比べて約５０％削減している．この理由は，従来法が REFF を付加する場合でも，提案法はマルチプレクサやホールド機能の付加で解決できるためである．Tseng では，両手法とも同じハードウェア要素を付加したため，同じ面積オーバヘッドになっている．レジスタに関する自己ループを多く持つ回路や，同じ外部入力から同じ順序深度で到達するレジスタ数が多い回路では，提案法と従来法の差が顕著に現れると言える．

表 2 は各手法におけるテスト対象の RTL パス数とテスト実行時間を表している．各手法は上から順に，1. 提案したテスト容易化設計を行った場合，2. テスト不要パスの判定を行わずに提案するテスト容易化設計を行った場合，3. 従来法のテスト容易化設計を行った場合である．2 を求めた理由は，テスト不要パスの判定による効果を比較するためである．各手法ではテスト対象パス数が異なっている．その理由は，手法 1 ではテスト不要パスの判定によりテスト対象パス数が削減されており，手法 2 と手法 3 ではテスト容易化設計によって付加されるハードウェアが異なるためである．テストマルチプレクサを付加し，外部入力からテスト用の経路を追加した場合にパス数は増加する．また，各組合せ部分回路に対するテストパタン数は提案法，従来法とも同じである．テスト不要パスの判定では，Paulin で１１本，LWF では３本をテスト不要と判定した．その結果，テスト実行時間が削減された．提案法と従来法との比較では，Paulin,LWF ともにテスト実行時間を大幅に削減した．提案法においてテスト実行時間が短縮された理由の 1 つは，テスト対象のパス数を削減できたからである．そのため印加するテストパタン数は少なくなり，テスト実行時間も短縮された．また，付加するハードウェア要素の違いもテスト実行時間に影響を与えている．従来法で用いる REFF では，保持している 2 パタ

ンを印加するタイミングを調節しなければならない．そのため，提案法よりテスト実行時間が長くなる原因となる．

8. ま と め

階層テスト生成に基づく従来の非スキャンテスト容易化設計法は，実用的な時間でテスト生成でき，実動作速度でテスト実行可能である．しかし，面積オーバヘッドが大きいという問題があった．また，過剰テストの問題を考慮していなかった．本稿では，従来法の利点を失うことなく，面積オーバヘッドを削減可能なテスト容易化設計法を提案した．更に，過剰テストの緩和も行った．従来法との比較では，全てのベンチマーク回路に対して，従来法よりも面積オーバヘッドが小さく，テスト実行時間が短いことを示した．

謝辞　本研究に関し，多くの貴重な意見をいただいたコンピュータ設計学講座の諸氏に感謝する．また，制約付き組合せテスト生成アルゴリズムを提供していただいた Virendra Singh 氏に深く感謝する．本研究は一部，日本学術振興会科学技術研究費補助金・基盤研究 B(2)(課題番号 15300018) の研究助成による．

文　献

[1] Angela Krstic and Kwang-Ting(Tim)Cheng,*Delay Fault Testing for VLSI Circuits*,Kluwer Academic Publishers,1998．

[2] B．I．Devadas and G．E．Stong，" Design for testability：Using scanpath techniques for path-delay test and measurement，" Proceeding of International Test Conf，pp．365-374，1991．

[3] Tapan J．Chakraborty，Vishwani D．Agrawal，Michael L．Bushnell，" Design for testability for path delay faults in sequential circuits，" Proc． DAC′93，pp．453-457，1993．

[4] Md．Altaf-Ul-Amin，S．Ohtake and H．Fujiwara，" Design for hierarchical two-pattern testability of data paths，" IEICE Trans．on Information and Systems，Vol．E85-D，No．6，pp．975-984，Jun．2002．

[5] G．L．Smith，" Model for Delay Faults Based Upon Paths，" Proceeding of International Test Conference，Nov．1985，pp．342-349．

[6] M．A．Gharaybeh，M．L．Bushnell and V．D．Agrawal，" Classification and Test Generation for Path-Delay Faults Using Single Stuck-at Fault Tests，" Journal of Electronic Testing：Theory and Applications，Vol．11，No．1，pp．55-67，Aug，1997．

[7] H．Wada，T．Masuzawa，K．K．Saluja and H．Fujiwara，" Design for strong testability of RTL data paths to provide complete fault efficiency，" Proc．Int．Conf．on VLSI Design，pp．300-305，2000．