縮退故障のテスト生成アルゴリズムを用いたパス遅延故障に対するテスト生成法

大谷 浩平　　大竹 哲史　　藤原 秀雄

奈良先端科学技術大学院大学 情報科学研究科
〒 630-0101 奈良県生駒市高山町 8916-5
Tel: 0743-72-5226　　Fax: 0743-72-5229
E-mail: {kouhei-o, ohtake, fujiwara}@is.aist-nara.ac.jp

あらまし　本稿では，組合せ回路のノンロバストテスト可能なパス遅延故障に対するテスト生成を，縮退故障用のテスト生成アルゴリズムを用いて行う方法を提案する．具体的には与えられた組合せ回路をリーフダグと呼ばれる回路へ擬似的に変換し，リーフダグに対して縮退故障用のテスト生成アルゴリズムを用いてテスト生成を行い，得られたテストパターンを元の組合せ回路の 2 パターンテストに変換する．本稿ではさらに，提案手法の正当性を示す．

キーワード　パス遅延故障，回路擬似変換，リーフダグ，テスト生成アルゴリズム

A Method of Test Generation for Path Delay Faults Using Stuck-at Fault Test Generation Algorithms

Kouhei Ohtani, Satoshi Ohtake, and Hideo Fujiwara

Graduate School of Information Science, Nara Institute of Science and Technology
8916-5 Takayama, Ikoma, Nara 630-0101
Tel: +81-743-72-5226　　Fax: +81-743-72-5229
E-mail: {kouhei-o, ohtake, fujiwara}@is.aist-nara.ac.jp

Abstract　In this paper, we propose a test generation method for non-robust path delay faults using stuck-at fault test generation algorithms. In the method, we first transform an original combinational circuit into a circuit called a leaf-dag. Next we generate test patterns using a stuck-at fault test generation algorithm for stuck-at faults in the leaf-dag. Then we transform the test patterns into two-pattern tests for path delay faults in the original circuit. We prove the correctness of this approach.

Key words　path delay faults, pseudo circuit transformation, leaf-dag, test generation algorithms

1 はじめに

近年の半導体製造技術の進歩により，大規模集積回路 (LSI) の集積度，動作速度が目覚しく向上している．これにより，従来から広く用いられてきている故障モデルである縮退故障に対してテストを行うだけでは，製造された LSI の信頼性を保証することが難しくなってきている．そのため，縮退故障に対してテストすることに加えて，回路のタイミングに関する故障モデルである遅延故障に対してテストすることが，製造された LSI の信頼性を保証する上で不可欠となっている．遅延故障のモデルには幾つかあり，トランジション故障，ゲート遅延故障，パス遅延故障などが提案されている [1]．その中でもパス遅延故障が最も一般性のある故障モデルとして知られている．

パス遅延故障は論理回路の外部入力 (またはフリップフロップ) から外部出力 (またはフリップフロップ) までのパス上に蓄積される遅延をモデル化している [2]．パス遅延故障に対するテストでは，回路中の全てのパス遅延故障に対してテストすることが理想的であるが，一般に回路規模が大きくなるにつれて回路中のパスは指数関数的に増大してしまう．そのため，テストしなければならないパス遅延故障とテストする必要のないパス遅延故障を分類し，テストしなければならないパス遅延故障に対してテストする方法が提案されてきた．テストしなければならないパス遅延故障は，ロバストテスト可能なパス遅延故障，ノンロバストテスト可能なパス遅延故障，機能的活性化可能なパス遅延故障の 3 つに分類される [1]．ロバストテスト可能なパス遅延故障は，回路内に対象としているパス遅延故障以外のどんなパス遅延故障が存在していたとしても検出可能なパス遅延故障である．一方，ノンロバストテスト可能なパス遅延故障は，回路内に対象としているパス遅延故障以外にパス遅延故障が存在していなければ検出可能なパス遅延故障である．機能的活性化可能なパス遅延故障は，回路内に対象としているパス遅延故障以外の複数のパス遅延故障が存在して初めて検出可能なパス遅延故障である．

パス遅延故障に対するテスト生成法として 5 値計算法 [3] や 10 値計算法 [4] を用いたテスト生成法 [5] が提案されている．しかしこれらのテスト生成法では多値の論理を用いるので，縮退故障のテスト生成に比べるとかなり複雑になる．従って，既存の高性能な縮退故障のテスト生成アルゴリズムを用いてパス遅延故障に対する 2 パターンテストテストを生成する方法が提案されている [6, 7]．文献 [6] では与えられた組合せ回路を立上り (立下り) 平滑回路と呼ばれる回路に変換し，縮退故障に対してテスト生成することによって，ロバストテスト可能なパス遅延故障に対するテストを生成する方法を提案している．しかし，一般に回路内にはロバストテスト不可能なパス遅延故障が多く存在するので，ロバストテスト可能なパス遅延故障のテストだけでは回路の時間的な正確さを保証するこには不十分である．文献 [7] では与えられた組合せ回路を二段回路に変換し，縮退故障に対してテスト生成することによってノンロバストテスト可能なパス遅延故障に対するテストを生成する方法を提案している．また，文献 [7] では二段回路を修正した回路上の縮退故障に対してテスト生成することによって機能的活性化可能なパス遅延故障に対するテストを生成する方法を提案している．

本稿では与えられた組合せ回路 C をリーフダグ [8] と呼ばれる回路 C_l へ変換し，C_l 上の縮退故障に対してテスト生成することによって C 上のノンロバストテスト可能なパス遅延故障に対する 2 パターンテストを生成する方法を提案する．提案手法により，複雑な多値計算法を用いることなくノンロバストテスト可能なパス遅延故障に対する 2 パターンテストを生成することが可能である．

2 諸定義

本稿で対象とする回路は AND, NAND, OR, NOR, NOT ゲートから構成される組合せ論理回路とする．

2.1 パス遅延故障

定義 1 (パス遅延故障 [2])

組合せ回路 C のゲートの順序集合 $P = \{f_0, f_1, \ldots, f_n\}$ をパスという．ここで，f_0 は C の外部入力，f_n は外部出力，$f_i (1 \leq i \leq n-1)$ はゲート とする．P において，f_0 で発生した信号の変化が決められた時間内に f_n まで伝搬しないような故障を，P のパス遅延故障という．P のパス遅延故障は f_n における信号変化により 2 種類に分類でき，f_n におい

て立上がりの信号変化が遅れる場合 $P\uparrow$，立下りの信号変化が遅れる場合 $P\downarrow$ と表記する．□

定義 2 (テスト可能)

組合せ回路 C において，以下の条件を満たすベクトル対 $\langle v_1, v_2\rangle$ が存在するとき，C のパス遅延故障 $P\uparrow$ $(P\downarrow)$ は $\langle v_1, v_2\rangle$ でテスト可能であるといい，$\langle v_1, v_2\rangle$ を $P\uparrow(P\downarrow)$ の 2 パターンテストという．

1. ベクトル対 $\langle v_1, v_2\rangle$ はパスの始点 (外部入力) に信号の変化を発生させ，その信号の変化をパスの終点 (外部出力) まで伝搬することができる．
2. $\langle v_1, v_2\rangle$ を連続して回路に印加した後，決められた時間で外部出力で観測される v_2 の応答が故障の有るときと無いときで異なる．

□

ここで，ゲート f_i の出力を，f_i の他の入力に依存せずに一意に決定する f_i の入力値をゲート f_i に対する制御値といい，$\mathrm{cv}(f_i)$ と表す．一方，ゲート f_i の出力を，他の入力に依存せずに一意に決定しない入力値をゲート f_i に対する非制御値といい，$\mathrm{ncv}(f_i)$ と表す．例えば $\mathrm{AND(NAND)}$ ゲート対しては $\mathrm{cv}(f_i)=0$，$\mathrm{ncv}(f_i)=1$, $\mathrm{OR(NOR)}$ ゲートに対しては $\mathrm{cv}(f_i)=1$，$\mathrm{ncv}(f_i)=0$ となる．

また，組合せ回路のパス P につながっているゲート f_i の入力のうち，f_{i-1} を P に沿ったパス上入力といい，$on(f_i, P)$ と表す．一方，f_i の入力のうち，f_{i-1} 以外の f_i の入力を P に沿ったパス外入力といい，$off(f_i, P)$ と表す．

文献 [2] では，ロバストパス外入力とノンロバストテストパス外入力をそれぞれ定義しているが，本稿ではロバストパス外入力，ノンロバストパス外入力を区別しないので，ロバストパス外入力の条件を含めてノンロバストパス外入力を定義する．

定義 3 (ノンロバストパス外入力)

組合せ回路 C のパスを $P=\{f_0, f_1, \ldots, f_n\}$ とし，f_{i-1},g_i をそれぞれ $f_{i-1}\in on(f_i,P), g_i\in off(f_i,P)$ とする．C に対して $\langle v_1, v_2\rangle$ を印加したとき，$g_i\in off(f_i,P)$ に対して $g_i(v_2)=ncv(f_i)$ が成立するとき，その g_i をノンロバストパス外入力と呼ぶ．□

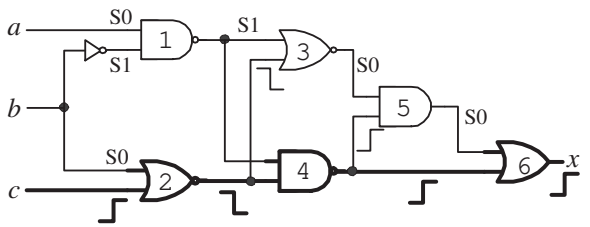

図 1: ノンロバストテスト可能なパス遅延故障

定義 4 (ノンロバストテスト可能なパス遅延故障)

組合せ回路のパス遅延故障 $P\uparrow(P\downarrow)$ に対して，2 パターンテスト $\langle v_1, v_2\rangle$ が存在し，全てのパス外入力がノンロバストパス外入力の条件を満たすとき，$P\uparrow(P\downarrow)$ はノンロバストテスト可能であるといい，$\langle v_1, v_2\rangle$ を $P\uparrow(P\downarrow)$ のノンロバストテストという．□

例えば，図 1 の回路において，パス遅延故障 $c246x\uparrow$ は 2 パターンテスト $\langle 000, 001\rangle$ でノンロバストテスト可能なパス遅延故障である．ここで，図 1 の $S0$ は v_1 と v_2 の印加時に値 0 に安定していることを表し，$S1$ は値 1 に安定していることを表す．

定義 5 (リーフダグ [8])

外部入力につながっている配線にだけファンアウトと NOT ゲートがあり，NOT ゲートの出力にはファンアウトが無いという回路構造を有する回路をリーフダグと呼ぶ．□

定義 6 (リーフダグ変換)

組合せ回路 C からリーフダグ C_l への以下の手順による変換をリーフダグ変換と呼ぶ．

ステップ 1: C の出力コーン毎に，外部出力側から外部入力につながった配線に至るまで次の処理を繰

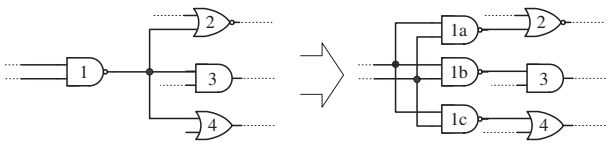

図 2: リーフダグ変換 (ステップ 1)

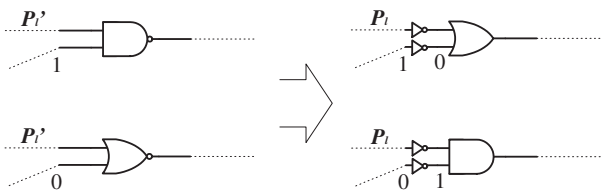

図 3: リーフダグ変換 (ステップ 2)

り返すことによって C_l' を得る．分岐点をゲートを複製することによって，外部入力側へ移動させる (図 2 参照)．

ステップ 2: C_l' の外部出力側から外部入力の分岐点に至るまで NOT ゲートを外部入力側へ移動し，リーフダグ C_l へ変換する．

□

パス P を C 中のパスとし，P に対応する C_l'，C_l 中のパスをそれぞれ P_l'，P_l とする．回路 C_l' と元の回路 C は分岐の位置が異なるだけで機能的には等価である．従って，ベクトル v を C に印加したときの内部のゲート g_i に割り当てられる値と，v を C_l' に印加したときの g_i に対応する内部のゲート g'_{l_i} に割り当てられる値は同じである．

v を回路 C_l' に印加したとき，ゲート $g'_{l_i} \in off(f'_{l_i}, P_l')$ が $g'_{l_i} = \mathrm{ncv}(f'_{l_i})$ となっていたとすると，v を回路 C_l に印加したときに，ゲート g'_{l_i} に対応するゲート $g_{l_i} \in off(f_{l_i}, P_l)$ も $g_{l_i} = \mathrm{ncv}(f_{l_i})$ となる (図 3 参照)．

任意の組合せ回路をリーフダグへ変換することが可能で，元の組合せ回路と変換後のリーフダグは機能的に等価である．また，元の組合せ回路のパスとリーフダグのパスには 1 対 1 の対応関係がある [8]．図 1 の回路を定義 6 の変換によりリーフダグへ変換すると，図 4 のようになる．

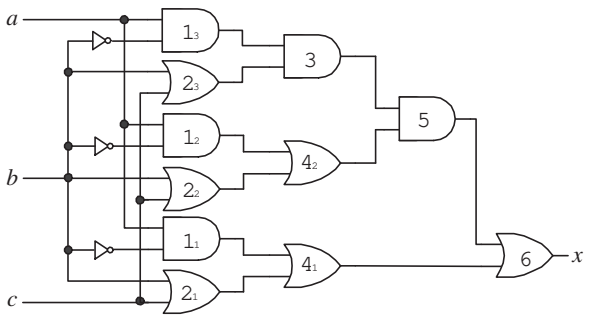

図 4: リーフダグ

定義 7 (特定枝 [8])

リーフダグのパス P について，P 上に NOT ゲートが有ればその NOT ゲートの出力の配線を，NOT ゲートが無ければ外部入力に直接つながっている P 上のゲートの入力の配線を P の特定枝と呼ぶ． □

一般的に組合せ回路の 1 本のパスを特定するためには外部入力から外部出力までたどる必要がある．リーフダグにおいては，特定枝を 1 つ特定すると，それを含むパスは一意に決定できる [8]．

3 テスト生成

本節では，縮退故障のテスト生成アルゴリズムを用いたノンロバストテスト可能なパス遅延故障に対するテスト生成法を提案する．縮退故障のテスト生成アルゴリズム用いたノンロバストテスト可能なパス遅延故障に対するテスト生成は次のような手順で行う.

ステップ 1: 与えられた組合せ論理回路 C を定義 6 の変換によりリーフダグ C_l へ変換する．

ステップ 2: C_l の各特定枝上の 0(1) 縮退故障に対してテスト生成し，テストパターンを求める．

ステップ 3: 得られたテストパターンを C の 2 パターンテストに変換する．

はじめに，3.1 節では C のパス遅延故障と C_l の縮退故障との等価性に関して述べる．次に 3.2 節ではノ

ンロバストテスト可能なパス遅延故障に対するテスト生成法に関して述べる．

3.1 パス遅延故障と縮退故障との等価性

縮退故障のテスト生成アルゴリズムをパス遅延故障のテスト生成に用いるためにそれらの等価性を証明する．

定理 1 (等価性)

組合せ回路 C が，C のパス P の終点に立上がり (立下り) の信号の変化を引き起こすベクトル対 $\langle v_1, v_2 \rangle$ を持ち，C のリーフダグを C_l とする．P にパス遅延故障 $P\uparrow (P\downarrow)$ が起こるとすると，$P\uparrow (P\downarrow)$ は C_l の P に対応する特定枝上の 0 縮退 (1 縮退) 故障と等価である．

(証明)

C のパス P に対応するパスを P_l とし，P_l の特定枝を b とする．C のパス遅延故障 $P\uparrow$ と C_l の特定枝 b の 0 縮退故障が等価であることを示す．C と C_l に故障が無いとき，C と C_l は機能的に等価であることより，C にベクトル対 $\langle v_1, v_2 \rangle$ を印加した出力応答と，C_l にベクトル対 $\langle v_1, v_2 \rangle$ を印加した出力応答は等しい．ここで，$\langle v_1, v_2 \rangle$ を印加したときの P の終点 f_n の値は立上がりの変化 $\langle 0, 1 \rangle$ が観測時間 t までに起こるものとする (図 5 参照)．C に $P\uparrow$ が存在するとき，観測時間 t までに f_n に立上がりの変化が起きない．すなわち，観測時間 t において f_n の値は 0 となる (図 5 参照)．一方，C_l の特定枝 b に 0 縮退故障が存在するとき，C_l にベクトル対 $\langle v_1, v_2 \rangle$ を印加したときの P_l の終点 f_{l_n} における応答は，定義 5 より P_l の b から f_{l_n} までの間にファンアウトが無く、NOT ゲートを通らないことより $\langle 0, 0 \rangle$ となる。従って、C のパス遅延故障 $P\uparrow$ は C_l の特定枝 b の 0 縮鯛故障と等価である。C のパス遅延故障 $P\downarrow$ と C_l の特定枝 b の 1 縮退故障が等価であることも同様に示すことができる。 □

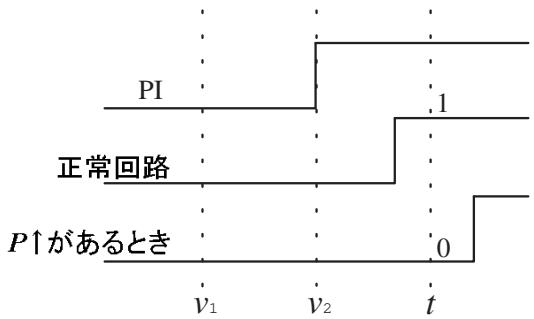

図 5: 特定枝の入出力波形

3.2 ノンロバストテスト可能なパス遅延故障に対するテスト生成法

2 パターンテスト $\langle v_1, v_2 \rangle$ のうち，$\tilde{v}_i = \bar{v}_i, \tilde{v}_j = v_j, i \neq j$ の条件を満たす 2 パターンテストを単一入力変化の 2 パターンテストと呼び，$\langle \tilde{v}, v \rangle$ と表記する．

定理 2 (ノンロバストテスト可能性)

C のパスを P とし，P の始点を i とする．C のリーフダグを C_l とし，C の P に対応する C_l のパスを P_l とする．C_l において，P_l の特定枝の $0(1)$ 縮退故障のテストパターン v が存在しかつそのときに限り，C のパス遅延故障 $P\uparrow (P\downarrow)$ に対する $\langle \tilde{v}, v \rangle$ が存在する．

(証明)
必要性：
C_l のパス P_l の特定枝 b の 0 縮退故障に対してテストパターン v が存在するならば、C のパス遅延故障 $P\uparrow$ に対して $\langle \tilde{v}, v \rangle$ はノンロバストテストであることを示す。v は C_l において b の 0 縮退故障のテストなので、C_l に v を印加したときの P_l 上のゲートのパス外入力はすべて非制御値になる。定理 1 より、C_l における b の 0 縮退故障と C におけるパス遅延故障 $P\uparrow$ は等価であるので、v が C_l において b の 0 縮退故障のテストであるならば、C において $P\uparrow$ に対するある 2 パターンテスト $\langle v', v \rangle$ が存在する。ここで、v' の、C の外部入力 i に対応する値 v'_i は、定義 2 より $\bar{v}_i$ である。また、定義 7 より C_l のパス P_l 上のゲートは、C のパス P 上のゲートのすべての NOT ゲートを外部入力側へ移動して得られたものなので、v を C_l に印加したとき P_l 上のゲートのパス外入力が非制御値であるならば、

v を C に印加したときも P 上のゲートのパス外入力は非制御値になる。したがって、2 パターンテスト $\langle v', v\rangle$ を印加したとき、P のパス外入力はノンロバストパス外入力の条件 (定義 3) を満たす。さらに、v' については $v'_i = \bar{v}_i$ を満たせば十分なので、C_l のパス P_l の特定枝 b の 0 縮退故障に対してテストパターン v が存在するならば、C のパス遅延故障 $P\uparrow$ に対して $\langle \tilde{v}, v\rangle$ はノンロバストテストである。

十分性：
C のパス遅延故障 $P\uparrow$ に対してノンロバストテスト $\langle \tilde{v}, v\rangle$ が存在するのならば，v は C_l のパス P_l の特定枝 b の 0 縮退故障に対するテストであることを示す．$\langle \tilde{v}, v\rangle$ は $P\uparrow$ に対するノンロバストテストであるので，定義 3，4 より v を印加したときのパス P のパス外入力は全て非制御値である．定義 7 より，v を印加したとき C のパス P のパス外入力が非制御値であるので，v を印加したとき C_l のパス P_l のパス外入力も全て非制御値である．定理 1 より，C における $P\uparrow$ と C_l における b の 0 縮退故障は等価であり，b の 0 縮退故障の影響が外部へ伝搬するので，v は b の 0 縮退故障に対するテストである．

1 縮退故障に対しても同様に示すことができる．

□

補題 1 ([7])

パス遅延故障がノンロバストテスト可能でありかつそのときに限り，単一入力変化の 2 パターンテスト $\langle \tilde{v}, v\rangle$ が存在する．

定理 3 (帰着性)

組合せ回路 C のノンロバストテスト可能なパス遅延故障のテスト生成問題は C をリーフダグへ変換したリーフダグ C_l の特定枝の縮退故障のテスト生成問題に帰着できる．

(証明)

補題 1 よりパス遅延故障に対して $\langle \tilde{v}, v\rangle$ が存在するのならばそのパス遅延故障は必ずノンロバストテスト可能なパス遅延故障である．このことと，定理 2 より，組合せ回路 C のノンロバストテスト可能なパス遅延故障のテスト生成問題は C をリーフダグへ変換したリーフダグ C_l の特定枝の縮退故障のテスト生成問題に帰着できる．

□

4 まとめ

本稿では，ノンロバストテスト可能なパス遅延故障に対する 2 パターンテストを縮退故障のテスト生成アルゴリズムを用いて生成する方法を提案し，その正当性を示した．

今後の課題としては，提案手法の有効性を確認するために実験を行うことや，機能的活性化可能なパス遅延故障に対するテスト生成法を提案することが挙げられる．また，与えられた回路をリーフダグよりも小規模な回路へ擬似的に変換し，縮退故障のテスト生成アルゴリズムを用いて元の回路のパス遅延故障に対する 2 パターンテストを生成する方法などについても考えることが必要である．

謝辞

本研究に関し，多くの意見を頂いた井上美智子助教授を始めとする本学情報論理学講座の諸氏に感謝致します．本研究は一部，日本学術振興会科学研究費補助金 (奨励研究 (A)，課題番号：12780226) および奈良先端科学技術大学院大学支援財団教育研究活動支援による．

参考文献

[1] A. Krstić and Kwang-Ting (Tim) Cheng, *Delay Fault Testing for VLSI Circuits*, Kluwer Academic Publishers, 1998.

[2] G. L. Smith, "Model for Delay Faults Based Upon Paths", *Proceedings of the International Test Conference*, pp. 342–349, Nov. 1985.

[3] C. J. Lin and S. M. Reddy, "On Delay Fault Testing in Logic Circuits", *IEEE Transactions*

on Computer-Aided Design of Integrated Circuits and Systems, Vol. CAD-6, No. 5, pp. 694–703, Sep. 1987.

[4] K. Fuchs, F. Fink, and M. H. Schulz, "DYNAMITE: An Efficient Automatic Test Patterm Generation System for Path Delay Faults", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Vol. 10, No. 9, pp. 895–905, Sep. 2000.

[5] K. -T. Cheng, A. Krstić, and H. -C. Chen, "Generation of High Quality Tests for Robustly Untestable Path Delay Faults", *IEEE Transactions on Computers*, Vol. 45, No. 12, pp. 1379–1392, Dec. 1996.

[6] A. Saldanha, R. K. Brayton, and A. L. Sangiovanni-Vincentelli, "Equivalence of Robust Delay-Fault and Single Stuck-Fault Test Generation", *Proceedings of IEEE/ACM International Conference on Computer-Aided Design*, pp. 418–421, 1992.

[7] M. A. Gharaybeh, M. L. Bushnell, and V. D. Agrawal, "Classificatin and Test Generation for Path-Delay Faults Using Single Stuck-at Tests", *Journal of Electronic Testing: Theory and Applications*, Vol. 11, No. 1 pp. 55–67, Aug. 1997.

[8] W. K. C. Lam and R. K. Brayton, *TIMED BOOLEAN FUNCTIONS A Unified Formalism for Exact Timing Analysis*, Kluwer Academic Publishers, 1994.