ホールドレジスタを含む内部平衡構造

神野　元彰　　井上美智子　　藤原　秀雄

奈良先端科学技術大学院大学 情報科学研究科
〒 630–0101 奈良県生駒市高山町 8916–5

E-mail: {chika-ji,kounoe,fujiwara}@is.aist-nara.ac.jp

あらまし　これまで，組合せテスト生成複雑度でテスト生成可能な順序回路のクラスとして，平衡構造や内部平衡構造が提案されている．このうち，平衡構造に関する定義ではレジスタとしてホールドレジスタを考慮していたが，内部平衡構造に関してはホールドレジスタを考慮していなかった．本稿では，組合せテスト生成複雑度でテスト生成可能なホールドレジスタを含む内部平衡構造順序回路を提案する．ホールドレジスタを含む内部平衡構造順序回路は，組合せテスト生成複雑度でテスト生成可能なすでに提案されている二つの順序回路のクラスを真に含む，より大きいクラスとなる．本稿ではさらに，提案する内部平衡構造順序回路の計算量に基づく組合せテスト生成複雑度に関しても考察する．

キーワード　平衡構造，内部平衡構造，ホールドレジスタ，組合せテスト生成複雑度，テスト生成

Internally balanced structure with hold registers

Chikateru JINNO, Michiko INOUE, and Hideo FUJIWARA

Graduate School of Information Science Nara Institute of Science and Technology
8916–5, Takayama, Ikoma, Nara 630–0101

E-mail: {chika-ji,kounoe,fujiwara}@is.aist-nara.ac.jp

Abstract　Balanced structure and internally balanced structure were proposed as a class of sequential circuits with the combinational test generation complexity. Although the definition of balanced structure took hold registers into consideration as a register, the definition of internally balanced structure did not. In this paper, we present a class of internally balanced structure with hold registers. The proposed class properly includes two classes mentioned above, and allows test generation with combinational test generation complexity. We also estimate combinational test generation complexity on time complexity.

Key words　balanced structure, internally balanced structure, hold registers, combinational test generation complexity, test generation

1. はじめに

順序回路のテスト生成は一般に困難な問題であり，回路規模が大きくなると実用的な時間で解けなくなる場合が多い [1], [3] . これを解決するために，フリップフロップ (以下，FF と略す) をスキャン可能な FF (スキャン FF と呼ぶ) に変更する完全スキャン設計法が提案されている . 縮退故障のテスト生成において，完全スキャン設計法ではスキャン FF を等価的に外部入出力とみなせるので，スキャン FF を取り除いた残りの回路 (核回路と呼ぶ) に対してテスト生成を行えばよい . 完全スキャン設計法では，核回路が組合せ回路となるので組合せ回路用のテスト生成アルゴリズムでテスト生成が可能であるが，すべての FF をスキャン FF に変更するためにハードウェアオーバーヘッドは大きくなる . 一方，一部の FF をスキャン FF に変更する部分スキャン設計法では，核回路に FF が残るため，一般には，順序回路用のテスト生成アルゴリズムを適用しなければならない .

組合せ回路用のテスト生成アルゴリズムでテスト生成が可能となる完全スキャン設計法の利点を保持したままハードウェアオーバーヘッドを削減するために，組合せ回路用のテスト生成アルゴリズムでテスト生成が可能な順序回路のクラスとして，平衡構造，内部平衡構造，無閉路構造が提案されている [2], [4] ~ [10] . 平衡構造順序回路 [6] のテスト生成問題は，すべての FF を信号線に置き換える，組合せ変換によって得られる組合せ回路のテスト生成問題に帰着できる . また，平衡構造順序回路に関する定義では，レジスタとしてロードレジスタとホールドレジスタを考慮する . 内部平衡構造順序回路 [4], [7] のテスト生成問題は，分離可能性に基づく外部入力分離と組合せ変換によって得られる組合せ回路のテスト生成問題に帰着できる . また，内部平衡構造順序回路に関する定義では，レジスタとしてロードレジスタを考慮する . これら二つの順序回路では，組合せテスト生成複雑度でテスト生成が可能となる . 無閉路構造に関しては，時間展開モデルに対するテスト生成手法が提案されている [8], [9] . この時間展開モデルは，組合せ回路用のテスト生成アルゴリズムでテスト生成が可能であるが，変換前の順序回路における組合せブロックの複製を考える必要があるため，変換後の回路は大規模になる .

レジスタとしてロードレジスタだけを考える場合，順序回路の回路構造には ,{ 無閉路構造順序回路 }⊃{ 内部平衡構造順序回路 }⊃{ 平衡構造順序回路 }という関係がある . 一方，有限状態機械を実現可能性で分類すると ,{ 無閉路構造実現可能な有限状態機械 }={ 内部平衡構造実現可能な有限状態機械 }⊃{ 平衡構造実現可能な有限状態機械 }となる [4] .

平衡構造順序回路のクラスでは，ホールド機能を有するレジスタ (以下，ホールドレジスタと呼ぶ) とロードレジスタを含む順序回路に対して，組合せテスト生成複雑度でテスト生成可能であることが示されている . 一方，内部平衡構造順序回路のクラスに関しては，レジスタとしてロードレジスタのみを対象としており，回路にホールドレジスタが存在する場合，ホールドレジスタは機能的に自己ループとして考え，内部平衡構造として扱っていなかった . 本稿では組合せテスト生成複雑度でテスト生成可能なホールドレジスタを含む内部平衡構造順序回路を提案する . 提案する順序回路のクラスは ,[6] で定義された平衡構造順序回路より真に大きいクラスとなる . 本稿ではさらに，文献 [4] で提案された計算量に基づく組合せテスト生成複雑度に関しても考察する .

2. ホールドレジスタを含む内部平衡構造

2.1 諸定義

順序回路 S は，複数の組合せ論理部からなり，それらの論理部はレジスタを通して相互に接続されているか，外部入力または外部入力の分岐枝から，あるいは外部出力へ直接接続されている極大な組合せ回路部分とする . レジスタには，ホールドレジスタとロードレジスタがあり，ホールドレジスタは，ホールドモード (連続するクロックサイクル間，値を保持) とロードモード (クロックが与えられたとき，値を取り込む) の二つの動作モードをもつ . これら二つの動作モードを制御する制御信号は，外部から直接印加されるものとする . 一方，ロードレジスタは常にロードモードで動作する . したがって，順序回路の入力系列は，論理部へのデータ入力とホールドレジスタへの制御入力の二つからなる . また，レジスタへのクロック信号は，外部から直接印加されるものとする .

経路に含まれるロードレジスタとホールドレジスタの個数の和をその経路の順序深度と呼ぶ . 順序回

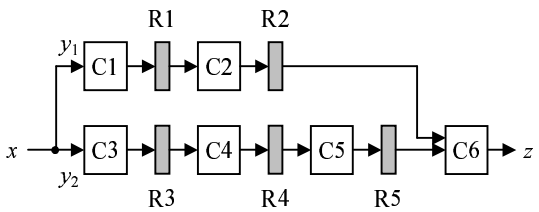

図 1　分離可能性 (条件 (i) を満たす場合)

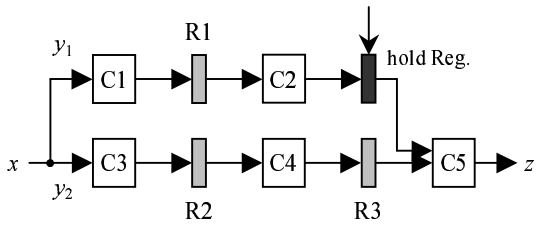

図 2　分離可能性 (条件 (ii) を満たす場合)

路の外部入力から外部出力に到る経路の中で最大の順序深度を順序回路の順序深度とする．ここで，拡張組合せ変換の外部入力分離で必要な分離可能性を定義する．本稿では，ホールドレジスタを含む内部平衡構造を提案するため，文献 [4] で定義された分離可能性を拡張する．

[定義 1] (分離可能性)
x を外部入力，y_i と y_j を x の分岐枝とするとき，y_i と y_j から到達可能な任意の外部出力 z に対し，以下の条件 (i) または (ii) を満たすならば y_i と y_j は分離可能という．

(i) y_i と y_j から z に到る任意の経路対は順序深度が異なり，かつそれらの経路上にホールドレジスタが存在しない (図 1 参照)．

(ii) あるホールドレジスタ h が存在し，y_i から z に到るすべての経路が h を含み，y_j から z に到るどの経路も h を含まない (図 2 参照)．

□

[定義 2] (拡張組合せ変換)
以下の 2 つの操作を順に行う．

(1) 外部入力分離 ：
分岐枝を有する外部入力 x について，その外部入力の分岐枝の集合を Y とする．分岐枝 y_a と y_b が分割 Π の異なるブロック $Y(i)$，$Y(j)$ に属する ($y_a \in Y(i)$, $y_b \in Y(j)$;$Y(i) \neq Y(j)$) ならば y_a と y_b は分離可能であるという条件を満たす Y の最小分割 Π を求める．分割した各ブロックごとに新たに外部入力を設けて，x を分離する (図 3 参照)．

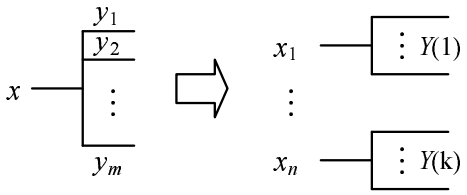

図 3　外部入力分離

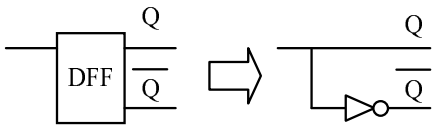

図 4　組合せ変換

(2) 組合せ変換：
各 FF を信号線 (FF の否定出力の場合は，NOT ゲートを付加した信号線) に置き換える (図 4 参照)．

□

順序回路 S に対し，外部入力分離操作のみ，または拡張組合せ変換を適用した結果の回路をそれぞれ S^*，$C^*(S)$ と表す．

[定義 3] (組合せテスト生成複雑度でのテスト生成可能性)
S を無閉路順序回路，f を S の故障とする．$C^*(S)$ に f に対応する故障 f_C が存在し，f が S で検出可能であるための必要十分条件が f_C が $C^*(S)$ で検出可能であるならば，S は f に対して，組合せテスト生成複雑度でテスト生成可能であるという．　□

2.2　順序回路のクラス

提案するホールドレジスタを含む内部平衡構造のクラスを定義する．まず，この定義に必要となる順序回路 S に対するトポロジーグラフと平衡構造のクラスを定義する．

[定義 4] (順序回路 S に対するトポロジーグラフ)
順序回路 S のトポロジーグラフ $G_S = (V, A, H, w)$ は有向グラフであり，頂点 $v \in V$ は一つの論理部，外部入力あるいは外部出力を表し，辺 $(u, v) \in A$ は二つの頂点 u，v 間の接続を表す．また，辺 $H \subset A$ はホールドレジスタの集合を表し，ホールド辺と呼ぶ．ホールド辺 (u, v) は重み変数 w_{uv} をもつ．ここで，二つの論理部間に二つ以上のレジスタが存在する場合，二つのレジスタ間に，信号線だけで構成される論理部があるとみなし，トポロジーグラフを表

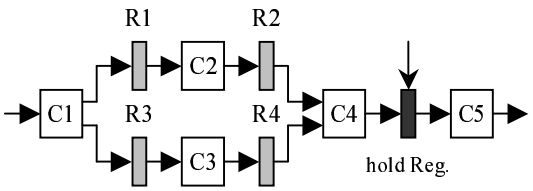

図 5　平衡構造順序回路

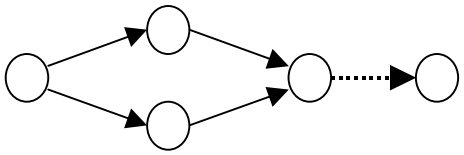

図 6　トポロジーグラフ

現する．　□

[定義 5]（トポロジーグラフの経路重み）
任意の頂点対 u ,$v(\in V)$ に対し，u から v への経路に m 個のロードレジスタと，重み変数が $w_p(1 \leqq p \leqq e)$ である e 個のホールドレジスタが存在するとき，

$$r_{uv}(w_1, w_2, \ldots, w_e) = m + \sum_{p=1}^{e} w_p \qquad (1)$$

と表される $r_{uv}(w_1, w_2, \ldots, w_e)$ のことを重み関数と呼び，すべての重み変数の割り当てが行われた重み関数のことを経路重みと呼ぶ．経路重みが決まっていない経路に対して，値の割り当てが行われていないすべての重み変数に 1 を割り当てた経路重みのことを仮想経路重みと呼ぶ．　□

[定義 6]（平衡構造）
順序回路 S のトポロジーグラフ $G_S = (V, A, H, w)$ に対し，以下の条件が成り立つならば，S は平衡構造であるという．
(i) G_S は無閉路である．
(ii) 任意の頂点対 $u, v(\in V)$ に対し，u から v へのすべての経路の経路長が等しい．
(iii) 任意のホールドレジスタ $h(\in H)$ に対し，h が G_S から取り除かれた場合，グラフは非連結となる．
□

平衡構造順序回路の例を図 5 に示し，そのトポロジーグラフを図 6 に示す．図 6 のトポロジーグラフにおいて，点線の有向辺はホールドレジスタを表し，残りの有向辺はロードレジスタを表す．

[定義 7]（内部平衡構造）

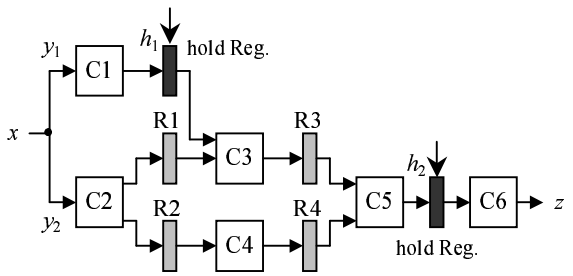

図 7　内部平衡構造順序回路

順序回路 S に拡張組合せ変換の外部入力分離操作の結果得られる順序回路 S^* が平衡構造であるならば，S は内部平衡構造であるという．　□

内部平衡構造の例を図 7 に示す．ホールドレジスタ h_1 が存在するため平衡構造ではないが，分離可能性の条件 (ii) を満たすため分離可能となり，内部平衡構造となる．

3. 内部平衡構造の組合せテスト生成可能性

順序回路 S が内部平衡構造ならば S は組合せテスト生成複雑度でテスト生成可能であることを示す．まず，以下の補題を示す．ここで，S における分離される各外部入力に対する故障は，$C^*(S)$ におけるすべての分離された外部入力に対する多重故障に対応し，S におけるその他の単一故障 f は，$C^*(S)$ における同じ信号線に対する単一故障 f_C に対応する．

[補題 1] S を内部平衡構造順序回路とする．S の組合せ論理部の故障 f が検出可能であるならば，f に対応する故障 f_C は $C^*(S)$ で検出可能となる．

(証明) 補題 1 を示すには，S における f のテスト系列 T を $C^*(S)$ における f_C のテストパターン T_C に変換できることを示せば十分である．

テスト系列 T の長さを l_T とし，故障 f は時刻 l_T+1 に外部出力 z に誤りを伝搬するとする．この T から以下のようにテストパターン T_C の $C^*(S)$ における各外部入力 x_i の値を決める．また，x_i が分離された外部入力である場合，S における対応する分離される前の外部入力を x とし，x_i が分離されない外部入力の場合，S における対応する外部入力を x とする．

S に拡張組合せ変換の外部入力分離操作を適用した結果得られる順序回路を S^* とする．S^* は平衡構造であるので，x_i から z への経路の順序深度は等し

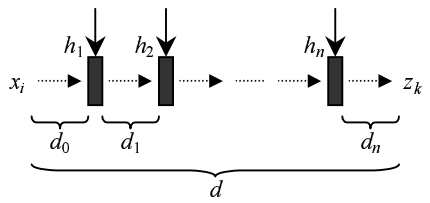

図 8　ホールドレジスタ間の順序深度

く，また，x_i から z へのある経路にホールドレジスタ h_p が存在する場合，x_i から z へのすべての経路にこの h_p が含まれる．ここで，x_i から z への経路の順序深度を d とし，この経路上にホールドレジスタが n 個存在するとする．この n 個のホールドレジスタに対して，入力側から順に，$h_1, h_2, \ldots, h_n$ とラベルをつける．このとき，S^* は平衡構造であるので，トポロジーグラフの任意の頂点対に対し，それらの間のすべての経路長は等しくなる．外部入力 x_i とホールドレジスタ h_1 の間の任意の経路におけるレジスタの個数を d_0，ホールドレジスタ $h_p(p = 1, \ldots, n-1)$ と $h_p + 1$ の間の任意の経路におけるレジスタの個数を d_p，ホールドレジスタ h_n と外部出力 z の間の任意の経路におけるレジスタの個数を d_n とする（図 8 参照）．このとき，

$$\sum_{p=0}^{n} d_p + n = d \tag{2}$$

となる．

T において f を z で検出するために，どの時刻の x の値が必要になるかを求める．ここで，この時刻を t_{x_i} とし，テスト系列 T のホールドレジスタ h_j への制御信号系列を $c_{j,1}, c_{j,2}, \ldots, c_{j,l_T}$ とする．また，時刻 l_T に z に誤りを伝搬するために必要な時刻 t_{x_i} の x の値が，ホールドレジスタ h_j に取り込まれる時刻を t_j とする．まず，t_n を求める．

$$t_n = max[t|(t < l_T - d_n) \wedge (c_{n,t} = \text{“LOAD”})] \tag{3}$$

また，$t_j(j = 1, \ldots, n-1)$ は以下のようになる．

$$t_j = max[t|(t < t_{j+1} - d_j) \wedge (c_{j,t} = \text{“LOAD”})] \tag{4}$$

さらに，

$$t_{x_i} = t_0 = t_1 - d_0 \tag{5}$$

となり，この時刻 t_{x_i} の x の値をテストパターン T_C の x_i の値と決める．ただし，(3.2) 式で $t_n \leqq 0$，もしくは (3.3) 式で $t_j \leqq 0$ となる場合，x_i の値は故障 f_C の検出に用いられないので，これをドント・ケアとする．

以上のようにして決まるテストパターン T_C は $C^*(S)$ における故障 f_C を検出することがわかる．

□

[補題 2]　S を内部平衡構造順序回路とする．$C^*(S)$ の故障 f_C が検出可能であるならば，f_C に対応する故障 f が S で検出可能となる．

(証明) 補題 2 を示すには，$C^*(S)$ における f_C のテストパターン T_C を S における f のテスト系列 T に変換できることを示せば十分である．

f_C による誤りが外部出力 z に伝搬されるとする．S における外部入力 x_i が $C^*(S)$ において外部入力 $x_{i1}, x_{i2}, \ldots, x_{in}$ に分離されるとする．S^* の z に対する出力錘のトポロジーグラフに対して，以下の手続きを行うことによって，分離された外部入力 $x_{ip}(1 \leqq p \leqq n)$ から z に到るすべての経路の経路重み r_{ipk} を異なる値に決めることができる．

[Step 1]　$x_{ip}(1 \leqq p \leqq n)$ から z への経路と $x_{iq}(1 \leqq q \leqq n, q \neq p)$ から z への経路がともにホールド辺を一つも含まないならば，これらの経路は分離可能の条件 (i) より経路重みが異なる．このようなホールド辺を一つも含まない経路の経路重みのうち，最大の経路重みを d_{max} とする．

d_{max} はすでに決定した最大の経路重みを表し，以下の手続きでは，新たに経路重みを決定するときは d_{max} より大きい値を割り当てるようにする．

[Step 2]　各経路に含まれるホールド辺の数の昇順に，ホールド辺の数が等しい場合は各経路の経路長の昇順に，経路 P を選択し，経路重みが決まっていない場合は，以下に示す操作を行う．ここで，P を x_{ip} から z への経路とし，r^*_{ipk} は仮想経路重みの値を表す．

$r_{ipk} = max(r^*_{ipk}, d_{max} + 1)$ となるように，まだ値が割り当てられていない重み変数を決める．これにより，経路重みが決まる経路の最大の経路重みを d_{max} とする．

経路 P は，これまでに経路重みを決定した経路よりも大きい経路重みを持つ．ホールド辺の数の昇順に P を選択するので，P の経路重みを決定することで同時に経路重みが決められる経路は，すべて同じ

ホールドレジスタの集合を含む．分離可能性より，同時に経路重みが決められる経路の経路長は異なるので，これらの経路の経路重みは異なる．また，経路長の昇順に選択を行うので，P はこれらの経路の中で最小の経路重みとなる．これより，手続き (2) で決められるすべての経路の経路重みを異なる値に決めることができる．

以上の手続きにより，S における分離される外部入力 x_i から z に到るすべての経路の経路重みを異なる値に決めることができる．

すべての経路の経路重みのうち，最大の経路重みをテスト系列長 l_T とする．分離された外部入力 $x_{ip}(1 \leqq p \leqq n)$ から出力 z に到る経路の経路重みを r_{ipk} とすると，r_{ipk} はすべて異なる値となるので，x_{ip} におけるテストパターン T_C の値をテスト系列 T の時刻 $(l_T - r_{ipk})$ における S の外部入力 x_i の値に決める．また，分離されない外部入力 x_j から z に到る経路の経路重みを r_{jk} とすると，x_j におけるテストパターン T_C の値をテスト系列 T の時刻 $(l_T - r_{jk})$ における S の外部入力 x_j の値に決める．また，ホールド辺 h_p の重み変数を w_p，h_p から z までの経路重みを r_{pk} とすると，h_p の制御信号は，時刻 $(l_T - r_{pk} - w_p)$ の値を “LOAD”，時刻 $(l_T - r_{pk} - w_p + 1)$ から時刻 $(l_T - r_{pk})$ の値を “HOLD”，それ以外の値はドント・ケアと決める．

以上のようにして決まるテスト系列 T は S における故障 f を検出することがわかる． □

[定理 1] S を内部平衡構造順序回路とする．S は組合せテスト生成複雑度でテスト生成可能である．
(証明) 補題 1 と補題 2 より，成り立つ． □

4. 計算量に基づく組合せテスト生成可能性

4.1 計算量に関する定義

文献 [4] で定義された計算量に基づく組合せテスト生成複雑度でのテスト生成可能性に関して考察する．ここで，テスト生成問題として以下の問題を扱う．

P_C (組合せテスト生成問題):
組合せ回路 C における故障 f を検出するテストパターンが存在するかを判定する問題で，インスタンスは組合せ回路 C と故障 f である．

P_α (クラス α テスト生成問題):
クラス α の順序回路 S における故障 f を検出するテスト系列が存在するかを判定する問題で，インスタンスはクラス α の順序回路 S と故障 f である．

$T_C(n)$ と $T_\alpha(n)$ をそれぞれテスト生成問題 P_C と P_α の計算量とする．ここで，n はその問題のインスタンスの大きさを表す．まず，問題 A が問題 B に帰着可能であるという帰着可能性を定義し，計算量に基づく組合せテスト生成複雑度でのテスト生成可能性を定義する．

[定義 8] (帰着可能性)
問題 A に属する任意のインスタンス a の解が，問題 B に属する $\tau(a)$ の解と同じとなる変換 τ が存在するならば，問題 A は問題 B に帰着可能である． □

[定義 9] (計算量に基づく組合せテスト生成複雑度でのテスト生成可能性)
次の条件を満たす変換 τ が存在するならば，順序回路のクラス α は組合せテスト生成複雑度でテスト生成可能なクラスであるという．

(i) P_α は変換 τ によって，P_C に帰着可能である．
(ii) T_τ を変換 τ に必要な計算量としたとき，順序回路のクラス α に属する順序回路 S に対して，$T_\tau(S$ のサイズ$) \leqq T_C(S$ のサイズ$)$ かつ $T_C(\tau(S)$ のサイズ$) \leqq T_C(S$ のサイズ$)$ が成り立つ．

□

組合せテスト生成複雑度でテスト生成可能な順序回路 S のテスト生成問題は，S を組合せ回路 $\tau(S)$ に変換し，$\tau(S)$ に組合せテスト生成アルゴリズムを適用することによって解くことができる．この全体の計算量は，組合せテスト生成問題の計算量 ($=T_C(S$ のサイズ$)$) 以下である．

組合せテスト生成問題 P_C は NP 完全であるので，回路のゲート数を n としたとき，T_C は最悪な場合，$O(2^n)$ になる可能性がある．しかし，経験的には，T_C はある 2 以下の定数 k に対して，$O(n^k)$ であると言われている．よって，組合せテスト生成複雑度でテスト生成可能な順序回路のクラスは，$T_C(n) = O(n^k)$ であると仮定し，以下考察する．

4.2 内部平衡構造の組合せテスト生成複雑度

S を内部平衡構造順序回路とする．S のサイズを n とすると，$C^*(S)$ のサイズも n となる．拡張組合せ変換に必要な計算量を $T_{C^*}(n)$ とすると，内部

平衡構造順序回路のテスト生成に必要な計算量は，$T_{C^*}(n) + T_C(C^*(S)$ のサイズ$)$ と表すことができる．ここで，外部入力を $x_1, \ldots, x_m$，各外部入力に対する分岐枝数を $f_1, \ldots, f_m$ と表し，また，1 つの経路上に存在するホールドレジスタ数の最大値を n^{k1}，S における外部出力数を n^{k2} とする．

まず，$T_{C^*}(n)$ を考える．

(1) すべての外部入力から外部出力に到る経路の順序深度を求める．各外部入力 x，x が分岐枝を有する場合はその分岐枝 y_i から各外部出力 z に到る経路の順序深度，その経路に含まれるホールドレジスタ集合を求める．S のゲート数に加え，その経路に含まれるホールドレジスタを考慮しなければならないので，計算量は $O(n \cdot n^{k1} \cdot n^{k2})$ となる．

(2) 外部入力の分岐枝の分離可能性を調べ，外部入力分離操作を行う．分岐枝間の比較を行えばよいので，計算量は，

$$\sum_{i=1}^{m} f_i^2 = O(n^{k3}) \quad (\ k3 \text{ は } 2 \text{ 以下の定数 }\ )$$

となる．

(3) 組合せ変換を行う．計算量は $O(n)$ となる．

以上より，$T_{C^*}(n)$ は以下のようになる．

$$T_{C^*}(n) = O(n \cdot n^{k1} \cdot n^{k2}) + O(n^{k3}) + O(n)$$

よって，内部平衡構造順序回路のテスト生成に必要な計算量は以下となる．

$$T_{C^*}(n) + T_C(C^*(S) \text{ のサイズ}) = O(n \cdot n^{k1} \cdot n^{k2}) + O(n^{k3}) + O(n) + O(n^k)$$

よって，$k1 + k2 < k - 1$，$k3 < k$ が成り立つならば，内部平衡構造順序回路のクラスは，組合せテスト生成複雑度でテスト生成可能となる．

5. ま と め

本稿では，ホールドレジスタを含む内部平衡構造を提案した．まず，従来の内部平衡構造のクラスを，レジスタとしてホールドレジスタとロードレジスタを考慮するクラスに拡張定義した．そして，提案する内部平衡構造順序回路が組合せテスト生成複雑度でテスト生成が可能になることを示した．また，計算量に基づくテスト生成複雑度に関しても考察し，どのような条件の場合に組合せテスト生成複雑度でテスト生成可能になるかを示した．

提案した内部平衡構造は平衡構造 [6] を真に含むクラスとなるが，平衡構造のクラスと同様にホールドレジスタへの制御信号は直接外部入力から印加されるものとして考えている．しかし，コントローラとデータパスを考えた場合，ホールドレジスタへの制御信号はコントローラで生成される．今後の課題としては，提案したホールドレジスタを含む内部平衡構造のクラスを，コントローラから制御信号が印加されるクラスまで拡張定義することなどが挙げられる．

謝辞　本研究に関し，多くの意見を頂いた大竹哲史助手，並びに情報論理学講座の諸氏に深く感謝します．本研究は一部，奈良先端科学技術大学院大学支援財団教育研究活動支援による．

文　献

[1] M. Abramovici, M. A. Breuer and A. D. Friedman, *Digital Systems Testing and Testable Design*, Computer Science Press ,1990.

[2] A. Balakrishman and S. T. Chakradhar, "Sequential circuits with combinational test generation complexity," *IEEE International Conference on VLSI Design*, pp.111-117, January 1996.

[3] H. Fujiwara, *Logic testing and design for testability*, The MIT Press, 1985.

[4] H. Fujiwara, "A new class of sequential circuits with combinational test generation complexity," *IEEE Trans. Computers*, vol.49, no.9, pp.895-905, Feb.2000.

[5] R. Gupta and M. A. Breuer, "Partial scan design of register transfer level circuits," *Journal of Electronic Testing: Theory and Applications*, vol.7, pp.25-46, 1995.

[6] R. Gupta, R. Gupta and M. A. Breuer, "The BALLAST methodology for structured partial scan design," *IEEE Trans. on Computers*, vol.39, no.4, pp.538-544, April 1990.

[7] M. Inoue, E. Gizdarski, and H. Fujiwara, "Sequential circuits with combinational test generation complexity under single-fault assumption," *Journal of Electronic Testing: Theory and Applications*, vol.18, pp.53-60, 2002.

[8] T.Inoue, T.Hosokawa, T.Mihara, and H.Fujiwara, "An optimal time expansion model based on combinational ATPG for RT level circuits," *Proc. IEEE 7th Asian Test Symposium*, vol.39, no.4, pp.190-197, April. 1998.

[9] T. Inoue, D. K. Das, C. Sano, T. Mihara, and H. Fujiwara, "Test generation for acyclic sequential circuits with hold registers," *Proc. Int. Conf. Computer-Aided Design*, pp.550-556, Nov.2000.

[10] Y. C. Kim, V. D. Agrawal, and K. K. Saluja, "Combinational test generation for various classes of acyclic sequential circuits," *Proc. Int. Test Conf.*, pp.1078-1087, Oct.2001.