不連続再収斂順序回路のパス遅延故障に対するテスト生成法

岩垣 剛　　大竹 哲史　　藤原 秀雄

奈良先端科学技術大学院大学 情報科学研究科
〒 630-0101 奈良県生駒市高山町 8916-5
Tel: 0743-72-5226　　Fax: 0743-72-5229
E-mail: {tsuyo-i, ohtake, fujiwara}@is.aist-nara.ac.jp

あらまし　本稿では，パス遅延故障に対してテスト生成が容易な順序回路の構造として，不連続再収斂構造を提案し，不連続再収斂順序回路のパス遅延故障に対するテスト生成法を示す．また，不連続再収斂順序回路におけるパス遅延故障に対するテスト生成問題が，その時間展開モデルにおけるセグメント遅延故障に対するテスト生成問題に帰着できることを示す．さらに本稿では，不連続再収斂構造に基づく部分拡張スキャン設計法も提案する．

キーワード　パス遅延故障，セグメント遅延故障，不連続再収斂構造，時間展開モデル，部分拡張スキャン

A Method of Path Delay Test Generation in Sequential Circuits with Discontinuous Reconvergence Structure

Tsuyoshi Iwagaki, Satoshi Ohtake and Hideo Fujiwara

Graduate School of Information Science, Nara Institute of Science and Technology
8916-5 Takayama, Ikoma, Nara 630-0101
Tel: +81-743-72-5226　　Fax: +81-743-72-5229
E-mail: {tsuyo-i, ohtake, fujiwara}@is.aist-nara.ac.jp

Abstract　In this paper, we present a new structure of sequential circuits with easy testability for path delay faults. The structure is called discontinuous reconvergence structure. We propose a method of path delay test generation in sequential circuits with discontinuous reconvergence structure. We show that the test generation problem for path delay faults in sequential circuits with discontinuous reconvergence structure can be reduced to the test generation problem for segment delay faults in their time expansion model. In addition, we also propose a method of partially enhanced scan design based on discontinuous reconvergence structure.

Key words　path delay fault, segment delay fault, discontinuous reconvergence structure, time expansion model, partially enhanced scan

1 はじめに

近年の半導体製造技術の進歩により，VLSI (Very Large Scale Integration) の集積度，動作速度が目覚しく向上している．このような状況の中で，従来から広く用いられている故障モデルである縮退故障をテストの対象とするだけでなく，回路のタイミングに関する故障モデルである遅延故障もテストの対象とすることが重要になってきている．遅延故障のモデルとしては，トランジション故障，セグメント遅延故障，パス遅延故障などが提案されており，その中でもパス遅延故障は最も一般性のある遅延故障のモデルとして知られている [10]．

一般に，順序回路内のフリップフロップ (以下，FF と略す) は，直接制御，観測できないため，順序回路のパス遅延故障に対するテスト生成は，困難な問題である．この問題を解決する手法として，拡張スキャン設計法がある．これは，順序回路内の FF を 2 つの値を連続して印加できるようなスキャン FF (拡張スキャン **FF**[3]) に置き換えることで，パス遅延故障に対するテスト生成を容易にするものである．拡張スキャン設計法としては，順序回路内のすべての FF を拡張スキャン FF に置き換える完全拡張スキャン設計法[3] や一部の FF を拡張スキャン FF に置き換える部分拡張スキャン設計法[1, 11, 12] が提案されている．完全拡張スキャン設計は，完全拡張スキャン設計を行った回路の核回路(拡張スキャン FF を取り除いた残りの回路) が組合せ回路となるため，組合せテスト生成アルゴリズム (Automatic Test Pattern Generator，以下，ATPG と略す) でテスト生成を行えるが，ハードウェアオーバヘッドが非常に大きくなる．一方，部分拡張スキャン設計は，小さいハードウェアオーバヘッドでテスト生成が容易な回路を実現できるが，核回路が順序回路であるため，一般に，順序 ATPG が必要となる．そこで，文献 [11, 12] では，組合せ ATPG でテスト生成が可能な順序回路の構造である平衡構造[6] に基づく部分拡張スキャン設計法を提案している．

組合せ回路のパス遅延故障に対するテストには，ベクトル対が必要となるが，順序回路のパス遅延故障に対しては，一般にベクトルの系列が必要となる．テスト生成によって得られたベクトルの系列を回路に印加する方法として，slow-fast-slow テスト [10] がある．slow-fast-slow テストでは，故障を活性化するための故障初期化のステップと故障影響を伝搬するためのステップを低速クロックで動作させ，テスト対象となるパスの始点に信号の変化を発生させるパターンを印加するときのみ，定格クロックで動作させる．これにより，故障初期化と故障影響を伝搬するステップにおいて，回路にパス遅延故障がないとみなせるので，故障活性化で必要となるベクトル対を必ず正当化でき，故障活性化によって現れる故障影響を必ず外部出力まで伝搬できることが保証される．slow-fast-slow テストは，パス遅延故障のテスト生成を著しく簡単にする [10] ため，本稿では，テスト方式として slow-fast-slow テストを想定する．

本稿では，パス遅延故障に対してテスト生成が容易な順序回路の構造として，不連続再収斂構造を定義し，不連続再収斂構造が平衡構造を真に含むような回路構造であることを示す．また，不連続再収斂順序回路のパス遅延故障に対するテスト生成法を提案し，順序回路が不連続再収斂構造であれば，順序回路におけるパス遅延故障に対するテスト生成問題が，それを時間展開した組合せ回路におけるセグメント遅延故障に対するテスト生成問題に帰着できることを示す．さらに本稿では，不連続再収斂構造に基づく部分拡張スキャン設計法も提案する．

2 諸定義

本節では，本稿で扱う順序回路のモデルとパス遅延故障およびセグメント遅延故障のテスト可能性について説明を行う．また，パス遅延故障に対してテスト生成が容易な順序回路の構造を定義する．

2.1 回路モデル

本稿で扱う順序回路は，複数の組合せ論理部[1] (以下，論理部と略す) が直接あるいは FF[2] を介して接続されているものとする．順序回路 S は，次のような重み付き有向グラフ (トポロジーグラフ G) で表現できる．

定義 1 (トポロジーグラフ)

$$G = (V, A, w)$$

- V は S の外部入力，外部出力，論理部を頂点とする集合．
- A は S の外部入力と論理部，論理部同士，論理部と S の外部出力を直接または FF を介して接続する信号線を辺とする集合．
- $w : A \to \{0\} \cup N$ (N は自然数を表す) は辺の重みであり，$w(u, v)$ $(u, v \in V)$ は $(u, v) \in A$ に存在する FF 数を表す．

□

2.2 パス遅延故障とセグメント遅延故障

順序回路において，連接するゲートの順序集合 $(g_0, g_1, \ldots, g_n)$ をパスという．ここで，g_i $(1 \leq i \leq n-1)$ はゲートを表し，g_0 は外部入力または FF の出力，g_n は外部出力または FF の入力を表す．このとき，パスの始

[1] 複数の論理ゲートからなる組合せ回路のこと．
[2] D 型 FF のみを扱う．

点で発生した立ち上がり，または立ち下がりの信号の変化が，決められた時間内にパスの終点に到達しないような故障をパス遅延故障という．パス遅延故障は，

- ST (Singly-Testable)
- MT (Multiply-Testable)
- ST 依存 (ST-dependent)

に分類される [4] . ST であるパス遅延故障に対しては，R (Robust)，VNR (Validatable Non-Robust)，NR (Non-Robust) のいずれかの遅延テストが，少なくともひとつ存在する．それらのテストは，パス外入力[3] (off-input) の値によって識別される．本稿では，議論を簡単にするために，パス外入力の値の条件を区別せず，順序回路の組合せ回路部分の ST であるパス遅延故障に対する NR テストの生成のみを考える．

定義 2 (テスト可能：パス遅延故障) 順序回路 S のパスを p とし，S_f を p に存在するパス遅延故障 f によって故障した回路とする．また，f の存在するパス p をもつような，連接する論理部からなる組合せ回路を C とする．S および S_f に対する入力系列 T が以下の条件を満たすとき，T を f のテスト系列 といい，パス遅延故障 f はテスト系列 T でテスト可能であるという．

1. S において，p の始点に信号の変化を発生させ，それを p の終点へ伝搬できる C の入力ベクトル対 (v_1, v_2) が存在する．
2. S において，外部入力から C の入力にベクトル対 (v_1, v_2) を正当化し，p の終点に現れた v_2 の応答を外部出力まで伝搬できる入力系列が T 中に存在する．
3. S の外部出力で観測される v_2 の応答と S_f の外部出力で観測される v_2 の応答が異なる．

□

組合せ回路において，ゲートの段数が L であるような連接するゲートの順序集合 $(g_1, g_2, \cdots, g_L)$ をセグメントという．このとき，セグメントの始点で発生した立ち上がり，または立ち下がりの信号の変化が，決められた時間内にセグメントの終点に到達しないような故障をセグメント遅延故障という．ただし，セグメント s にセグメント遅延故障が起こると，s には十分に大きい遅延が発生し，s を含むすべてのパスにパス遅延故障が発生するものとする．

定義 3 (テスト可能：セグメント遅延故障) 組合せ回路 C のセグメント遅延故障を f とし，C_f を f によって故障した回路とする．C および C_f に対する入力ベクトル対 (v_1, v_2) が以下の条件を満たすとき，(v_1, v_2) を f の **2** パターンテストといい，f は (v_1, v_2) でテスト可能であるという．

1. セグメントの始点に信号の変化を発生させ，そのセグメントの終点に現れた v_2 の応答を外部出力まで伝搬できる．
2. C の外部出力で観測される v_2 の応答と C_f の外部出力で観測される v_2 の応答が異なる．

□

2.3 パス遅延テスト容易な順序回路

定義 4 (不連続再収斂構造) 無閉路順序回路 S のトポロジーグラフを $G = (V, A, w)$，頂点 $u, v \in V$ の u から v への経路の集合を $P_{u,v} = \{p_1, p_2, \ldots, p_n\}$，経路 $p_i \in P_{u,v}$ に存在する FF 数を $n(p_i)$ とする．任意の頂点 $u, v \in V$ について，その間のどの経路対 $p_i, p_j \in P_{u,v}$ も，

$$|n(p_i) - n(p_j)| \neq 1 \tag{1}$$

を満たすとき，S は不連続再収斂構造であるという． □

式 (1) で $|n(p_i) - n(p_j)| = 0$ の場合が平衡構造に対応する．これは，不連続再収斂構造が平衡構造を真に含むような回路構造であることを示している．よって，一般の順序回路に対して部分拡張スキャン設計を行うことを考えると，核回路を平衡構造でなく不連続再収斂構造にすることで，スキャン化に伴うハードウェアオーバヘッドをより小さくできる．

例 1 不連続再収斂順序回路とそのトポロジーグラフを図 1 に示す．図 1(a) において，四角の 1–6 は論理部を表し，黒塗りの四角は FF を表す． □

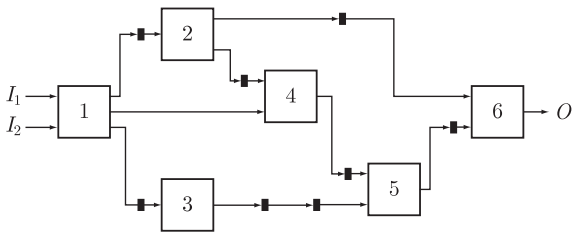
3 テスト生成法

本節では，不連続再収斂順序回路のパス遅延故障に対するテスト生成法を提案する．テスト生成は，以下の 6 ステップからなり，不連続再収斂順序回路 S の各外部出力に関する出力錐[4] S_o ごとに行う．

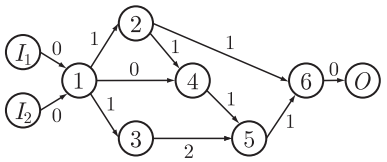
1. 不連続再収斂順序回路 S の出力錐 S_o をトポロジーグラフ G で表す．
2. G から時間展開グラフ E を作成する．
3. E に基づく S_o の時間展開モデル $C_E(S_o)$ を作成する．

[3] テスト対象パス上のゲートの入力で，パス上の入力以外の入力のこと．

[4] その外部出力に到達可能な論理部からなる部分回路のこと．



(a) 不連続再収斂順序回路



(b) トポロジーグラフ

図 1: 不連続再収斂順序回路とそのトポロジーグラフ

4. 故障変換 σ によって得られる，S_o のパス遅延故障に対応する $C_E(S_o)$ のセグメント遅延故障のうち，どれかひとつに対してテスト生成を行う[5]．

5. 求まった 2 パターンテストを系列変換 τ によって，元の S_o のテスト系列に変換する．

6. S_o のテスト系列を S のテスト系列に変換する．

以下では，文献 [8] で提案された時間展開グラフと時間展開モデルを単一出力の不連続再収斂順序回路に対して定義し直し，さらに，故障変換，系列変換を定義する．

3.1 時間展開グラフと時間展開モデル

定義 5 (時間展開グラフ) 単一出力の不連続再収斂順序回路 S のトポロジーグラフ $G = (V, A, w)$ に対して，有向グラフ $E = (V_E, A_E, t, l)$ を考える．ここで，V_E は頂点集合，A_E は有向辺集合，t は V_E から整数への写像，l は V_E から V への写像を表す．以下の 4 つの条件を満たす E を G の時間展開グラフという．

条件 1 (外部入出力および論理部の保存)

写像 l は全射である．すなわち，任意の頂点 $v \in V$ について，$v = l(u)$ なる $u \in V_E$ が存在する．

条件 2 (入力の保存)

[5]テスト方式として，slow-fast-slow テストを想定しているため，定格クロックを与える時刻以外は，パス遅延故障がないと考えることができる．よって，テスト生成は，複数あるセグメント遅延のうち，どれかひとつに対してのみ行えば十分である．

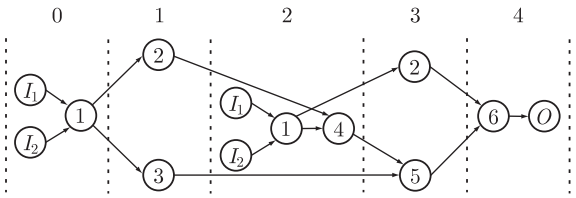


図 2: 時間展開グラフ E

有向グラフ E の任意の頂点を $u \in V_E$ とする．このとき，頂点 u に対応するトポロジーグラフ G の頂点 $l(u)$ に隣接する任意の祖先 $v \in pre(l(u))$ に対して，$v = l(u')$ かつ $u' \in pre(u)$ を満たす頂点 $u' \in V_E$ が存在する．ここで，$pre(v)$ は頂点 v に隣接する祖先の集合を表す．

条件 3 (時刻の無矛盾性)

有向グラフ E の任意の辺 $(u, v) \in A_E$ について，トポロジーグラフ G に $t(v) - t(u) = w(l(u), l(v))$ を満たす辺 $(l(u), l(v)) \in A$ が存在する．

条件 4 (時刻の単一性)

有向グラフ E の任意の頂点 $u, v \in V_E$ について，$t(u) = t(v)$ かつ $l(u) = l(v)$ ならば，u と v は同一の頂点 $u = v$ である．

□

時間展開グラフの定義より，単一出力の無閉路順序回路の時間展開グラフは一意に決定できる [8]．よって，単一出力の不連続再収斂順序回路の時間展開グラフも一意に決定できる．

例 2 図 1(b) のトポロジーグラフ G の時間展開グラフ E を図 2 に示す．各頂点 u に記した文字は，対応する G の頂点 $l(u)$ を表し，グラフの上部に記した数は，その列にある頂点 u のラベル $t(u)$ を表す． □

定義 6 (時間展開モデル) 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の時間展開グラフを $E = (V_E, A_E, t, l)$ とする．以下の手続きによって得られる組合せ回路を E に基づく S の時間展開モデル $\boldsymbol{C_E(S)}$ という．

1. 各頂点 $u \in V_E$ について，$l(u)$ に対応する外部入力，外部出力または論理部をそれぞれ u に対応する外部入力，外部出力または論理部とする．

2. 各有向辺 $(u, v) \in A_E$ について，$(l(u), l(v)) \in A$ に対応する信号線を，u と v に対応する外部入力，外部出力または論理部間の接続信号線とする．このとき，$(l(u), l(v)) \in A$ に対応する信号線上に存在する FF は除去する．

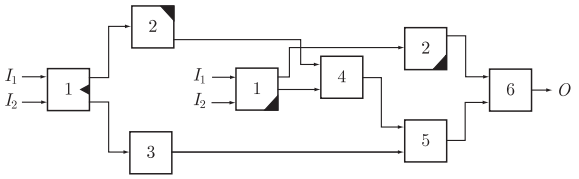


図 3: 時間展開モデル $C_E(S)$

3. 各論理部内の信号線および論理ゲートについて，他の論理部の入力に到達不可能なとき，その信号線および論理ゲートを除去する．

□

例 3 図 2 の時間展開グラフ E に基づく S の時間展開モデル $C_E(S)$ を図 3 に示す．図 3 の黒塗りの部分は，他の論理部の入力に到達不可能な信号線および論理ゲートを除去していることを表す． □

3.2 故障の対応と系列変換

定義 7 (故障変換 σ) 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の時間展開グラフを $E = (V_E, A_E, t, l)$，E に基づく時間展開モデルを $C_E(S)$ とし，S におけるすべてのパス遅延故障の集合を F とする．また，$f \in F$ の存在するパス p をもつような，連接する組合せ論理部からなる組合せ回路を C，C を構成する論理部の集合を B，$C_E(S)$ において，$\{l^{-1}(b)|b \in B\}$ のいくつかの要素で構成され，C と同じ接続関係をもつような組合せ回路の集合を C' とする．さらに，p の終点に対応する出力が削除されていない C' の各組合せ回路からなる集合を C'' とする．このような C から C'' への変換を部分回路変換 $\boldsymbol{\mu}$ という．p に対応する $\mu(C)$ の各組合せ回路のセグメントに同時に存在するセグメント遅延故障を f_e としたとき，f から f_e への変換を故障変換 $\boldsymbol{\sigma}$ という． □

例 4 図 4 において，不連続再収斂順序回路 S のパス遅延故障は，故障変換 σ によって，S の時間展開モデル $C_E(S)$ のセグメント遅延故障に対応する．図 4 からわかるように，S のパス遅延故障に対応する $C_E(S)$ のセグメント遅延故障は，一般に複数存在する． □

定義 8 (系列変換 τ) 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G = (V, A, w)$，G の時間展開グラフを $E = (V_E, A_E, t, l)$，E に基づく時間展開モデルを $C_E(S_o)$，E のラベル t の最小値を $t_{\min}$，S_o の順序深度[6] を d とする．このとき，$C_E(S_o)$ の各外部入力 $u \in V_E$ への入力ベクトル対 $I_u = (v_1, v_2)$ に対して，以下のような

[6] 外部入力から外部出力までの経路に存在する FF 数の最大値のこと．

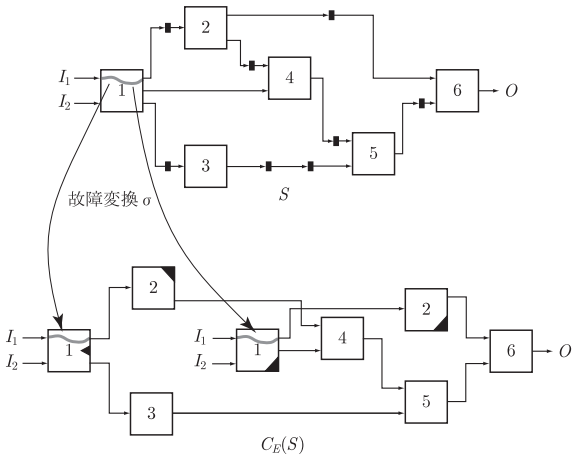


図 4: 故障の対応

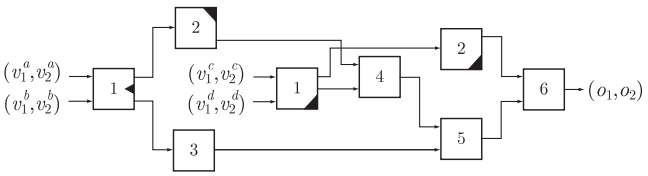


図 5: 入力ベクトル対

外部入力 $l(u) \in V$ への時刻 k $(0 \leq k \leq d+1)$ の入力パターン $I_{l(u)}(k)$ に変換する手続きを系列変換 τ という．ただし，X はドントケアを表す．また，このような入力系列のことを系列長 $d+2$ の **2** パターン系列という．

$$I_{l(u)}(k) = \begin{cases} v_1 & (k = t(u) - t_{\min} \text{ のとき}) \\ v_2 & (k = t(u) - t_{\min} + 1 \text{ のとき}) \\ X & (\text{上記以外のとき}) \end{cases} \quad (2)$$

□

例 5 図 5 に示す入力ベクトル対は，系列変換 τ によって，表 1 のような，図 1(a) に対する入力系列に変換される． □

系列変換によって求まった，不連続再収斂順序回路 S の出力錐 S_o のパス遅延故障に対するテスト系列 T_o は，S_o の外部入力に対応する S の外部入力に T_o を入力し，それ以外の外部入力にドントケア X を入力することによって，S に対するテスト系列に変換できる．

表 1: 入力系列

時刻		0	1	2	3	4	5
外部入力	I_1	v_1^a	v_2^a	v_1^c	v_2^c	X	X
	I_2	v_1^b	v_2^b	v_1^d	v_2^d	X	X
外部出力	O	X	X	X	X	o_1	o_2

4　正当性の証明

本節では，3 節で提案したテスト生成法によって求まったテスト系列の正当性について考察する．

補題 1 (不連続再収斂構造の性質) 単一出力の順序回路 S のトポロジーグラフを $G=(V,A,w)$，G の時間展開グラフを $E=(V_E,A_E,t,l)$ とする．S が不連続再収斂構造ならば，$l(u)=l(v)$ なる任意の頂点 $u,v\in V_E$ について，

$$|t(u)-t(v)|\neq 1 \tag{3}$$

が成り立つ．

(証明) $l(u)=l(v)$, $|t(u)-t(v)|=1$ となる $u,v\in V_E$ が存在するならば，S は不連続再収斂構造でないことを示す (題意の対偶)．

頂点 $u,v\in V_E$ が $l(u)=l(v)$, $|t(u)-t(v)|=1$ $(t(u)=t, t(v)=t+1)$ を満たすとする．S は単一出力であるので，u と v は，外部出力に対応する頂点へ至る経路上で，ある頂点 $w\in V_E$ $(t(w)=t')$ を共有する．定義 5 の条件 1 より，$l(w)\in V$ が存在し，定義 5 の条件 2, 3 より，$l(u)=l(v)$ から $l(w)$ への経路で，$t(w)-t(u)=t'-t$ 個の FF をもつ経路と，$t(w)-t(v)=t'-t-1$ 個の FF をもつ経路が存在する．よって，$(t'-t)-(t'-t-1)=1$ となり，これは不連続再収斂構造の定義 4 に反する．以上より，補題 1 は成り立つ．　□

補題 1 は，$C_E(S)$ に対する任意の入力ベクトル対が，系列変換 τ によって，元の S に対する入力系列にパターンの衝突を起こすことなく変換できることを保証する．

補題 2 (テスト系列の存在：2 パターン系列) 単一出力である不連続再収斂順序回路 S の任意のパス遅延故障 f について，f がテスト可能ならば，f のテスト系列として，系列長 $d+2$ の 2 パターン系列が存在する．ここで，d は S の順序深度を表す．

(証明) S のトポロジーグラフを $G=(V,A,w)$，G の時間展開グラフを $E=(V_E,A_E,t,l)$，E に基づく時間展開モデルを $C_E(S)$，E のラベル t の最小値を $t_{\min}$ とし，f の存在するパス p をもつような，連接する論理部からなる組合せ回路を C とする．f がテスト可能ならば，系列長が $d+2$ 以下のテスト系列 T が存在する[7]．また，定義 2 より，p の始点に f を活性化するための信号の変化を発生させ，それを p の終点に伝搬するための C の入力ベクトル対 (v_1,v_2) が存在する．C の入力に到達可能な任意の外部入力を $v_{\rm PI}$ とすると，定義 5 の条件 2 より，対応する $C_E(S)$ の外部入力 $\{u_{\rm PI}|u_{\rm PI}\in l^{-1}(v_{\rm PI})\}$ が存在する．よって，定義 5 の条件 3 より，(v_1,v_2) を正当化するための値を $v_{\rm PI}$ へ印加する時刻は，時刻 $t(u_{\rm PI})-t_{\min}$ およびそれらの次の時刻に限られる．さらに，故障影響を伝搬する外部出力を $v_{\rm PO}$ とし，$v_{\rm PO}$ に到達可能な任意の外部入力を $v'_{\rm PI}$ とすると，先と同様の理由により，対応する $C_E(S)$ の外部入力 $\{u'_{\rm PI}|u'_{\rm PI}\in l^{-1}(v'_{\rm PI})\}$ が存在し，故障影響を伝搬させるための値を $v'_{\rm PI}$ へ印加する時刻は，$t(u'_{\rm PI})-t_{\min}+1$ に限られる．また，値が入力されない時刻の外部入力については，ドントケア X を印加すればよいので，系列長 $d+2$ の 2 パターン系列になる．以上より，補題 2 が成り立つ．　□

[7] S は無閉路であるため，外部入力に印加された値の影響は，高々 d 時刻後に外部出力へ現れる．よって，高々系列長 $d+2$ のテスト系列を外部入力に与えれば，その故障影響が外部出力で観測できる．

補題 3 (出力値の一致) 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G=(V,A,w)$，G の時間展開グラフを $E=(V_E,A_E,t,l)$，E に基づく時間展開モデルを $C_E(S)$，E のラベル t の最小値を $t_{\min}$，S の順序深度を d とする．また，$C_E(S)$ への任意の入力ベクトル対を $I_C=(v_1,v_2)$，系列変換 τ によって得られる S への系列長 $d+2$ の 2 パターン系列を $\tau(I_C)$ とする．このとき，v_2 に対する $C_E(S)$ の外部出力 $u\in V_E$ の応答 O_u は，2 パターン系列 $\tau(I_C)$ に対する S の外部出力 $l(u)\in V$ の時刻 $t(u)-t_{\min}+1$ の応答 $O_{l(u)}(t(u)-t_{\min}+1)$ と等しい．

(証明) $C_E(S)$ の外部出力 u に到達可能な任意の外部入力を u' とする．u' に対応する S の外部入力 $l(u')$ は，定義 5 の条件 2 より，$l(u)$ に到達可能である．u' への任意の入力ベクトル対 $I_{u'}=(v_1^{u'},v_2^{u'})$ の $v_2^{u'}$ は，系列変換 τ によって，時刻 $t(u')-t_{\min}+1$ の外部入力 $l(u')$ への入力パターン $I_{l(u')}(t(u')-t_{\min}+1)$ に変換される．このとき，補題 1 および定義 5 の条件 4 より，$l(u')$ の時刻 $t(u')-t_{\min}+1$ に印加されるパターンはただひとつである．u' から u の経路に対応する $l(u')$ から $l(u)$ への経路を p，p に存在する FF 数を $n(p)$ とすると，$I_{l(u')}(t(u')-t_{\min}+1)$ の影響は，$n(p)$ 時刻後に外部出力 $l(u)$ に到達する．このとき，定義 5 の条件 3 より，$(t(u')-t_{\min}+1)+n(p)=t(u)-t_{\min}+1$ となる．また，定義 5 の条件 2 より，u' から u の経路と $l(u')$ から $l(u)$ の経路を通る値は，同じ論理からなる組合せ回路を通過する．以上より，補題 3 が成り立つ．　□

定理 1 (テスト生成問題帰着性) 単一出力の不連続再収斂順序回路 S のトポロジーグラフを $G=(V,A,w)$，G の時間展開グラフを $E=(V_E,A_E,t,l)$，E に基づく時間展開モデルを $C_E(S)$ とする．また，S におけるすべてのパス遅延故障の集合を F，$C_E(S)$ における F に対応するセグメント遅延故障の集合 F_E とする．このとき，S は以下の条件を満たす．

1. 任意の $f\in F$ がテスト可能であるとき，かつそのときに限り，f に対応する $f_e\in F_E$ がテスト可能である．

2. f_e に対する 2 パターンテストは，f_e に対応する f に対するテスト系列に変換できる．

(証明) パス遅延故障 f によって故障した回路を S_f ，f に対応するセグメント遅延故障 $f_e = \sigma(f)$ によって故障した回路を $C_{E_{f_e}}(S)$ とし，f の存在するパス p をもつような，連接する論理部からなる組合せ回路を C とする．また，E のラベル t の最小値を $t_{\min}$ ，S の順序深度を d ，系列変換 τ の逆変換を τ^{-1} とする．

f がテスト可能ならば，補題 2 より，系列長 $d+2$ の 2 パターン系列 T_f が存在する．さらに，定義 2 より，p の始点に f を活性化するための信号の変化を発生させ，それを p の終点に伝搬するためのベクトル対が存在し，T_f で正当化できる．ここで，このようなベクトル対が C の入力に正当化される任意の時刻をそれぞれ $i, i+1$ とし，時刻 $i, i+1$ に正当化されるベクトル対を (v_1, v_2) とする．また，$C_{E_{f_e}}(S)$ の部分回路 $\mu(C)$ の中で，$t(c) = i + t_{\min}$ を満たす論理部 c を構成要素としてもつような，組合せ回路を C' とする．定義 5 および補題 3 より，$\tau^{-1}(T_f)$ を $C_{E_{f_e}}(S)$ に印加することにより，C' の入力へ (v_1, v_2) を正当化できる．また，$\sigma(f)$ のうち，C' に存在するセグメント遅延故障を $f_e^{C'}$ とし，$f_e^{C'}$ の存在するセグメントを s としたとき，定義 5 より，p と s は同じ論理からなる組合せ回路を通るので，S_f に T_f を印加したときの p の終点における時刻 $i+1$ の値と，$C_{E_{f_e}}(S)$ に $\tau^{-1}(T_f)$ を印加したときのセグメント s の終点の値は同じである．これと補題 3 より，S_f に T_f を印加したときの外部出力 $l(u)$ の時刻 $t(u) - t_{\min} + 1$ の値と，$C_{E_{f_e}}(S)$ に $\tau^{-1}(T_f)$ を印加したときの $\tau^{-1}(T_f)$ の 2 番目のベクトルに対する外部出力 $u \in V_E$ の応答は一致する．f_e は，p に対応するセグメントに存在するセグメント遅延故障なので，$C_{E_{f_e}}(S)$ は時間展開グラフ E に基づく S_f の時間展開モデル $C_E(S_f)$ と同形である．よって，$\tau^{-1}(T_f)$ を $C_E(S)$ に印加したときに外部出力で観測される $\tau^{-1}(T_f)$ の 2 番目のベクトルに対する応答と $C_E(S_f)$ に印加したときに外部出力で観測される $\tau^{-1}(T_f)$ の 2 番目のベクトルに対する応答が異なる．以上より，任意の f がテスト可能であるならば，$f_e = \sigma(f)$ はテスト可能であることが示された．

逆に，f_e がテスト可能ならば，2 パターンテスト t_{f_e} が存在する．f_e が存在するセグメントのうち，故障が活性化される任意のセグメント s' について，そのセグメントの始点と終点をそれぞれ入力と出力にもつような，論理部の連接で構成される組合せ回路を $C_{s'}$ とし，$C_{s'}$ を構成する論理部のラベルを $t_{s'}$ とする．ここで，$C_{s'}$ の入力に正当化されるベクトル対を (v_1', v_2') とすると，定義 5 および補題 3 より，$\tau(t_{f_e})$ を S_f に印加することにより，$C_{s'}$ に対応する S_f の組合せ部分回路の入力へ (v_1', v_2') を正当化できる．また，定義 5 より，s' と s' に対応するパス p は同じ論理からなる組合せ回路を通るので，$C_{E_{f_e}}(S)$ に t_{f_e} を印加したときの s' の終点の値と，S_f に $\tau(t_{f_e})$ を印加したときの p の終点における時刻 $t_{s'} - t_{\min} + 1$ の値は一致する．これと補題 3 より，$C_{E_{f_e}}(S)$ に t_{f_e} を印加したときの t_{f_e} の 2 番目のベクトルに対する外部出力 $u' \in V_E$ の応答と，S_f に $\tau(t_{f_e})$ を印加したときの外部出力 $l(u') \in V$ の時刻 $t(u') - t_{\min} + 1$ の値は一致する．先と同様の理由により，$C_{E_{f_e}}(S)$ は時間展開グラフ E に基づく S_f の時間展開モデル $C_E(S_f)$ と同形である．よって，$\tau(t_{f_e})$ を S に印加したときに外部出力で観測される応答と S_f に印加したときに外部出力で観測される応答が異なる．以上より，f_e がテスト可能であるならば，$f = \sigma^{-1}(f_e)$ はテスト可能であることが示された．

また，f_e に対する 2 パターンテストは，系列変換 τ を用いることによって，対応する f に対するテスト系列に変換できる．

以上より，定理 1 は成り立つ． □

定理 1 より，3 節の不連続再収斂順序回路のパス遅延故障に対するテスト生成の手順で求めたテスト系列の正当性が保証される．

5 テスト容易化設計

順序回路 S におけるすべての FF の集合を Q とし，Q の部分集合を Q_E とする．このとき，S から Q_E を取り除いた回路 S_K を S の核回路という．また，Q_E 中の FF を外部 **FF**，$Q_I = Q - Q_E$ 中の FF を内部 **FF** という．本節では，一般の順序回路に対して 3 節のテスト生成法を適用するために，外部 FF を拡張スキャン FF に置き換えることで，核回路が不連続再収斂構造となるような部分拡張スキャン設計を考える．

5.1 スキャン FF 選択問題

順序回路において，核回路の回路構造が与えられたとき，最小の外部 FF の集合を求める問題をスキャン **FF** 選択問題という．核回路の回路構造として，不連続再収斂構造が与えられたときのスキャン FF 選択問題を以下の 2 ステップで解く．

1. 与えられた順序回路の核回路が無閉路構造となるように，外部 FF を選択する．

2. ステップ 1 で得られた無閉路順序回路の核回路が不連続再収斂構造となるように，外部 FF を選択する．

ステップ 1 では，文献 [2] の手法を用いて，最小の外部 FF 数で無閉路構造を実現する．ステップ 2 に対しては，次節で述べるヒューリスティック手法を適用する．

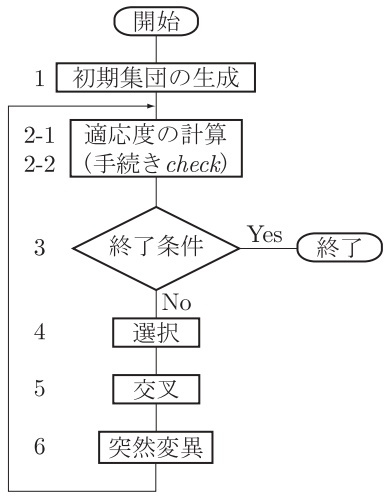
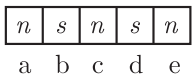
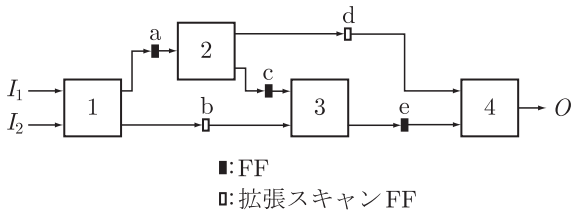


図 6: 処理の流れ



(a) 個体表現



(b) 対応する順序回路

図 7: 個体表現と対応する順序回路

5.2 遺伝的アルゴリズムの適用

スキャン FF 選択問題に対して，遺伝的アルゴリズム (以下，GA と略す) を適用する．GA による処理の流れを図 6 に示す．

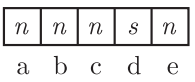
以下では，図 6 の各処理について説明を行う．

コード化 個体は，図 7(a) のように表現する．各遺伝子座は，順序回路内の各 FF に対応し，遺伝子 $\{s, n\}$[8] をもつ．個体の長さは，順序回路内の全 FF 数と等しい．

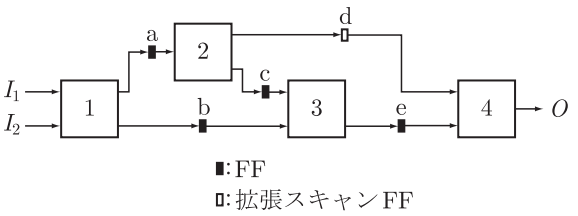
例 6 図 7(a) の個体に対応する順序回路を図 7(b) に示す．□

1 初期集団の生成 初期集団 (個体数 N) は，遺伝子 $\{s, n\}$ をランダムに発生させることにより生成する．しかし，遺伝子 $\{s, n\}$ をランダムに発生させると，図 8(a) のように，その個体に対応する順序回路 (図 8(b)) が定義 4 の不連続再収斂構造の条件を満たさない可能性がある．このような致死遺伝子をもつ個体については，2-1 の適応度の計算で考慮する．

[8] s, n は，FF がそれぞれ外部 FF (拡張スキャン FF)，内部 FF (非スキャン FF) であることを表している．



(a) 致死遺伝子をもつ個体



(b) 対応する順序回路

図 8: 致死遺伝子をもつ個体と対応する順序回路

2-1 適応度の計算 個体 i に対する適応度 f_i は，式 (4) のように計算する．

$$f_i = f'_i + r \cdot check(i) \tag{4}$$

ここで，f'_i は個体 i 中の内部 FF 数，r は正のペナルティ係数，$check(i)$ は 2-2 で述べる手続きであり，個体 i に対応する順序回路が定義 4 を満たすかどうかによって，

$$check(i) = \begin{cases} 0 & (\text{定義 4 を満たすとき}) \\ -1 & (\text{定義 4 を満たさないとき}) \end{cases} \tag{5}$$

の値をとる．式 (4, 5) からわかるように，個体 i に対応する順序回路内に拡張スキャン FF が少ないほど，適応度は大きくなり，個体 i に対応する順序回路が定義 4 を満たさなければ，適応度は小さくなる．

例 7 図 7(a) の個体の適応度は 3 となる．また，図 8(a) のような，対応する順序回路 (図 8(b)) が定義 4 を満たさない個体の適応度は $4 - r$ となる． □

2-2 手続き *check* 個体に対応する順序回路 S が定義 4 を満たすかどうかを調べる手続き $check$ を以下に示す．S の各入力 i (外部入力，外部 FF) 対して，i を始点として，i から到達可能な各出力 (外部出力，外部 FF) まで，深さ優先で手順 1, 2 を繰り返す．手順 1, 2 は，i から到達可能なすべての論理部を訪問すると終了し，次の i へ移る．すべての i について処理が実行されると，戻り値として

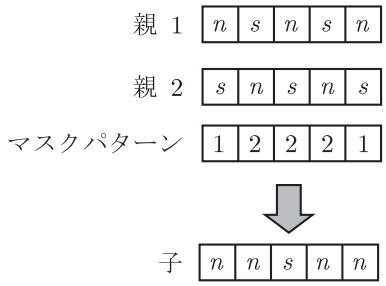


図 9: 一様交叉

0 を返し，手続きを終了する．ここで，各論理部 c の各入力 k に対して，i から k へ至る経路上の FF 数 n_k を格納できる記憶領域 MEM が利用できるものとする．

手順 1 訪問する候補となる論理部 c について，c を訪問する際に通る c の入力 k に対して，i から k へ至る経路上の FF 数 n_k を MEM に格納する．もし，c に未訪問なら，c を訪問し，手順 1 を繰り返す．そうでなければ，手順 2 へ進む．

手順 2 MEM の c に関する領域に格納されている c の各入力 k に対する n_k と新たに格納された c の入力 k' に対する $n_{k'}$ の差の絶対値が $|n_k - n_{k'}| = 1$ であれば，戻り値として -1 を返し，手続きを終了する．そうでなければ，手順 1 へ戻る．

3 終了条件　図 6 の一連の処理は，世代交代が n_g 回繰り返されると終了する．

4 選択　選択方法として，エリート保存選択 [5, 13] およびトーナメント選択 [5, 13] を併用する．エリートとして選択された個体は，以下の交叉，突然変異に影響されず，無条件に次世代の個体集団に含まれる．

5 交叉　交叉方法として，一様交叉 [13] を用いる．

例 8 選択操作によって，図 9 のような個体が親として選ばれたとする．このとき，ランダムに発生させた $\{1, 2\}$ のマスクパターンに従って，どちらの親の遺伝子が子へ受け継がれるかが決まる．ここで，マスクパターンが 1 (2) 場合は，親 1 (2) から子へ遺伝子が受け継がれる．　□

6 突然変異　突然変異は，個体中の遺伝子座をランダムにひとつ選択し，その遺伝子座の遺伝子を対立遺伝子に置き換える方法を用いる．

例 9 図 10 において，個体 i に突然変異が起きたとする．このとき，1 番目の遺伝子座が選択されたとすると，個体 i は個体 i' のような個体に変化する．

□

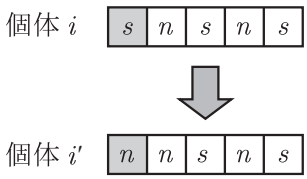


図 10: 突然変異

5.3　部分拡張スキャン設計

一般の順序回路 S に対して，5.1 節のスキャン FF 選択問題を解くことによって求まった外部 FF の集合を，拡張スキャン FF に置き換える．これにより，核回路が不連続再収斂構造となるため，3 節で提案したテスト生成法を用いて，S のパス遅延故障に対するテスト生成を行うことができる．

5.4　テスト実行

順序回路において，テスト系列が求まったパス遅延故障の集合を F ($|F| = n$)，外部 FF 数を n_{FF} とする．各パス遅延故障 $f_i \in F$ のテスト系列長を l_i とすると，f_i に対するテスト実行時間は，$n_{\mathrm{FF}}(l_i + 1) + l_i$ (クロック) となる．よって，F 全体のテスト実行時間は，

$$\sum_{i=1}^{n} \{n_{\mathrm{FF}}(l_i + 1) + l_i\} \ \text{(クロック)} \qquad (6)$$

となる．また，f_i に対応する時間展開モデルにおける複数のセグメント遅延故障の中で，テスト生成が行われたセグメント遅延故障をもつ論理部のラベルを t_i，ラベルの最小値を $t_{\min}$ とする．このとき，slow-fast-slow テストにおいて，定格クロックを与えるタイミングは，f_i のテスト系列 (系列長 l_i) の $(t_i - t_{\min} + 2)$ 番目のパターンを印加する時刻である．それ以外の時刻では，回路を低速クロックで動作させる．

6　まとめ

本稿では，パス遅延故障に対してテスト生成が容易な順序回路の構造として，不連続再収斂構造を定義し，不連続再収斂構造が平衡構造を真に含むような回路構造であることを示した．また，不連続再収斂順序回路のパス遅延故障に対するテスト生成法を提案し，不連続再収斂順序回路のパス遅延故障に対するテスト生成問題が，その時間展開モデルにおけるセグメント遅延故障に対するテスト生成問題に帰着できることを示した．さらに本稿では，核回路が不連続再収斂構造となるような部分拡張スキャン設計法を提案した．

今後の課題としては，ベンチマーク回路や実設計回路を用いて，提案手法の有効性を確認するための計算機実

験をすることが挙げられる．具体的には，不連続再収斂構造に基づく部分拡張スキャン設計と

- 完全拡張スキャン設計
- 無閉路構造に基づく部分拡張スキャン設計
- 平衡構造に基づく部分拡張スキャン設計

のハードウェアオーバヘッドの比較や不連続再収斂順序回路のパス遅延故障に対するテスト生成を順序 ATPG で行った場合と，提案したテスト生成法を適用して組合せ ATPG でテスト生成を行った場合の

- テスト生成時間
- テスト実行時間
- 故障検出効率

の比較が必要である．

謝辞

本研究に関し，多くの意見を頂いた井上美智子助教授を始めとする本学情報論理学講座の諸氏に感謝致します．本研究は一部，日本学術振興会科学研究費補助金 (奨励研究 (A)，課題番号：12780226) および奈良先端科学技術大学院大学支援財団教育研究活動支援による．

参考文献

[1] T. J. Chakraborty, V. D. Agrawal and M. L. Bushnell, "Design for testability for path delay faults in sequential circuits," *Proc. 30th ACM/IEEE Design Automation Conf.*, pp. 453–457, 1993.

[2] S. T. Chakradhar, A. Balakrishnan and V. D. Agrawal, "An exact algorithm for selecting partial scan flip-flops," *Proc. 31st ACM/IEEE Design Automation Conf.*, pp. 81–86, 1994.

[3] B. I. Dervisoglu and G. E. Strong, "Design for testability: Using scanpath techniques for path-delay test and mesurement," *Proc. International Test Conf.*, pp. 365–374, 1991.

[4] M. A. Gharaybeh, M. L. Bushnell and V. D. Agrawal, "Classification and test generation for path-delay faults using single stuck-at fault tests," *Journal of Electronic Testing: Theory and Applications*, Vol. 11, pp. 55–67, 1997.

[5] D. E. Goldberg, *Genetic Algorithms in Search, Optimization, and Machine Learning*, Addison-Wesley Publishing Company, 1989.

[6] R. Gupta, R. Gupta and M. A. Breuer, "The BALLAST methodology for structured partial Scan design," *IEEE Transactions on Computers*, Vol. 39, No. 4, pp. 538–544, Apr. 1990.

[7] K. Heragu and V. D. Agrawal, "Segment delay faults: A new fault model," *Proc. 14th IEEE VLSI Test Symposium*, pp. 32-39, 1996.

[8] T. Inoue, T. Hosokawa, T. Mihara and H. Fujiwara, "An optimal time expansion model based on combinational ATPG for RT level circuits," *Proc. 7th Asian Test Symposium*, pp. 190–197, Dec. 1998.

[9] Y. C. Kim, V. D. Agrawal and K. K. Saluja, "Combinational test generation for various classes of acyclic sequential circuits," *Proc. International Test Conf.*, pp. 1078–1087, Oct. 2001.

[10] A. Krstić and K.-T. Cheng, *Delay Fault Testing for VLSI Circuits*, Boston: Kluwer Academic Publishers, 1998.

[11] 三輪 俊二郎，大竹 哲史，藤原 秀雄，"組合せテスト生成複雑度でパス遅延故障テスト生成可能な順序回路のクラス，" 信学技報 FTS2000-87，pp. 9–16，Feb. 2001．

[12] S. Ohtake, S. Miwa and H. Fujiwara, "A method of test generation for path delay faults in balanced sequential circuits," *Proc. 20th IEEE VLSI Test Symposium*, 2002 (to appear).

[13] 坂和 正敏，田中 雅博，遺伝的アルゴリズム，朝倉書店，1995．