

先端科学技術研究科 修士論文要旨

所属研究室 (主指導教員)	コンピューティング・アーキテクチャ (中島 康彦 (教授))		
学籍番号	2111069	提出日	令和 4年 7月 15日
学生氏名	押尾 怜穂		
論文題目	スパイクングニューラルネットワークへのメモキャパシティブ・インメモリ計算回路の応用と評価		
要旨			
<p>スパイクングニューラルネットワーク(SNN)は専用のニューロモーフィックシステム上で実行することによって、低レイテンシ・低消費電力にディープラーニング互換タスクや近似アルゴリズムを実行できることが知られている。このニューロモーフィックシステムに多値不揮発メモリのアレイを用いたアナログインメモリコンピューティング(AiMC)を採用することで、純粋なCMOSデジタル実装に対して消費電力や高速性・集積性で優れるシステムを構築できると考えられる。しかしながら、AiMCアレイの出力を最もシンプルなニューロン回路でセンシングし、モデルの演算を行うと、理想的なスパイクングニューロンモデルに対して意図しない非線形性が避けられない。</p> <p>本研究では、素子自体の発熱がないことから超低消費電力性が期待できる容量性の不揮発メモリ素子“メモキャパシタ”をインメモリ計算回路に採用したニューロモーフィック回路を設計した。私はアナログ回路の非線形性による設計した認識精度の低下に対応するために、設計した回路の非線形性をニューロンモデルに組み込んだSNNをトレーニングし、そのシナプス重みを回路素子パラメータに変換する方法を提案する。また、メモキャパシタの記憶できるパラメータの解像度の低さによる計算精度の劣化に対して、量子化意識学習と知識蒸留を組み合わせたネットワーク圧縮技術で対策を行った。これら提案学習手法は機械学習フレームワーク上で動作し、計算量の多いSPICEシミュレーション自体を学習に組み込む必要はない。得られた重みを素子パラメータに変換し回路シミュレーションを行った。シミュレートされた回路は100MHzで動作し、SNNは約98%の精度、推論あたり約15.7nJでMNISTクラス分類を行った。今後の計画としては、メモキャパシタの等価回路を用いたニューロモーフィックチップをシリコンCMOSプロセスで作成し、メモキャパシタのプロセス技術に先んじて提案手法の概念実証を行う。また、高速シミュレーション環境を開発して、大規模なSNN用インメモリ計算基盤の設計と検証環境を構築する。</p>			