

* * * * 年度プロジェクト実習 報告書

テーマ：A1 ヤマハインターンシップ

報告書

実習期間：2002年8月21日（水）～9月6日（金）

実習場所：ヤマハ株式会社PA・DMI事業部商品開発部技術開発グループ

指導者名：

奈良先端科学技術大学院大学

情報科学研究科<専攻名>

<講座名>

<学籍番号> <提出者氏名>

目次

- 1.実習について
- 2.実習内容
 - 2 . 1 SRC
 - 2 . 2 ステイミュラスの作成
 - 2 . 3 シミュレーション結果
- 3 . 実習を終えて
- 4.謝辞
- 5.参考文献

1.実習について

- ・ 実習期間：2002年8月21日（水）～9月6日（金）
- ・ 受入れ先部門：ヤマハ株式会社PA・DMI事業部商品開発部技術開発グループ
- ・ 実習テーマ：「音声処理LSI設計（論理書き換え型LSI（FPGA）を利用した音声処理LSIの設計と動作検証）」
 - ・ ただし、今回の実習では会社側の準備が進んでおらず、あらかじめVerilog-HDLで設計されたデジタル回路の動作検証のみ行うことになり、当初予定されたFPGAを用いた実習は行われなかった
 - ・ スケジュール：
 - ・ 第一日目～第四日目：導入
 - ・ 安全教育
 - ・ Verilog-HDLの勉強・プログラミング
 - ・ SRCの説明
 - ・ 第四日目～第七日目：Verilog-HDL演習
 - ・ 第八日目～第十二日目：ステイミュラスの作成・シミュレーション
 - ・ SRCのステイミュラスのタイミングの説明
 - ・ 第十日目～第十二日目：報告会の準備
 - ・ 資料作成と発表練習
 - ・ 第十三日目：報告会@研修会館

2.実習内容

2.1 SRC

SRC (Sampling Rate Converter) は、「あるサンプリング周波数のデジタル楽音信号を所望のサンプリング周波数に変換する」という機能を持つデジタル回路である。また、SRCは異なるサンプリング周波数で動作しているデジタル機器間において楽音信号を取り取りするために使われる。例えば、CDに記録された楽音信号をDAT(Digital Audio Tape) のフォーマットに変換するために、SRCが使われる。

図2.1にSRCのインターフェースと内部のブロック図を示す。SRCの入力には、楽音信号のシリアルデータ、入出力信号のワードクロックとビットクロック (それぞれLRCKi、LRCKo、そしてBCLKi、BCLKo) を与え、出力には楽音信号がシリアルデータとして得られる。

図2.1 SRCのブロック図
(略)

SRCの内部では以下のような動作をする。

1. 入力データをシリアル - パラレル変換
2. パラレルデータを 1 段目のフィルタに入れて入力楽音波形を F_{si} (入力信号のサンプリング周波数) / 2 で帯域制限して F_{so} (出力信号のサンプリング周波数) $\times 4$ でリサンプリング
3. 2 で出力されたパラレルデータを $F_{so} / 2$ で帯域制限して $F_{so} \times 4$ のサンプリングレートを F_{so} まで間引く
4. パラレルデータをシリアルデータに変更して出力

また、2 段のフィルタのより詳しいブロック図を図 2.2 に示す。

図2.2 2段のフィルタの部分のブロック図
(略)

図2.2のフィルタのいずれの段も64TAP分ある。図中のSHIFTや、AoFover 3 Dの信号はそれぞれ、入力信号のサンプリング周波数で動くクロックから作られる信号、出力信号のサンプリング周波数で動くクロックから作られる信号である。詳細は省略する。

2.2 ステイミュラスの作成

今回は、ステイミュラスを1パターンのみ作成した。このステイミュラスにおいては、表2.1のような入力を想定し、その上で具体的なテストパターンを与えた。(具体的な信号名は省略)

表2.1 SRCへの入力

楽音信号	インパルス
入力楽音信号のサンプリング周波数	48kHz
出力楽音信号のサンプリング周波数	96kHz

なお、具体的なステイミュラスのソースファイルは、ヤマハ株式会社との秘密保持契約により、持ち帰ることができなかったので、省略する。

2.3 シミュレーション結果

シミュレーションの結果は図2.3のとおりである。

図2.3 出力結果 (SignalScanを用いた)
(略)

また、出力楽音信号は図2.4のとおりである。図2.4では横軸が時間軸であり、縦軸は信号の振幅である。今回はSRCにインパルスを与え、入力楽音信号の2倍のサンプリング周波数での楽音信号を出力させたので、出力にサンプリング関数そのまま出力されていることがわかる。また、この信号をFFT(Fast Fourier Transform)した結果を図2.5に示す。

図2.4 出力楽音信号 (時間領域)
(略)

図2.5 出力楽音信号 (周波数領域)
(略)

図2.5では出力楽音信号が、入力楽音信号のサンプリング周波数の48kHzの半分の周波数 (24kHz) で帯域制限されていることが確認できる。

3 . 実習を終えて

以下に実習の感想を述べる。

ステイミュラスのタイミングの計算には苦労したが、その他のことは、特に難しくはなかった。また、やりのこしたことから、ステイミュラスでシミュレーションにおいて、いろいろなテストパターンを入力し、それらの出力を観察し、回路が望みどおりに動作しているかどうかを確認したかった。例えば、入力、出力それぞれのサンプリング周波数の変更や、入力に正弦波を与える、などである。さらに、当初の目標であったSRCをFPGAに実装させ、実際に楽音信号を通して評価する、ということもやりたかったが、会社側の作業の遅れによって実現しなかった。最後に、勉強になったこととして、会社で技術者として働く経験を、本格的な就職活動を控えたこの時期に体験できたことは、貴重だったと思う。また、Verilog-HDLを用いたVLSIの設計・検証を一通り体験できたことも、貴重な体験だった。

4.謝辞

実習期間中お世話していただいた〇〇氏、〇〇氏をはじめ、グループの方々、インターンの受け入れに関わる事務手続きなどをしていただいたヤマハビジネスサポートの〇〇氏、〇〇氏、そしてともに生活したインターンと至誠寮の方々に感謝いたします。

5.参考文献

小林優, 『DESIGN WAVE BOOKS5 入門Verilog-HDL記述』、(CQ出版、1996)